

D14-126

An Ultra-Low Power Multi-Rate FSK Demodulator in 0.18 μ m CMOS Process

可變傳輸速率之
超低功耗頻率鍵移解調電路設計

作品摘要

隨著生醫電子之快速發展，應用於健康管理以及居家照護的人體無線傳輸穿戴式或植入式生理訊號感測器將成為未來發展的趨勢，感測器所傳輸的資料包含各種控制訊號與感測結果資料，因此所需之傳輸資料速度會隨著所傳輸資料內容的不同而有很大的變化。

由於在此類的晶片電源主要來自電池，因此電路之生命週期直接受限於電路的功率消耗。由於大部分感測電路的生命週期需求必須長達數年，甚至十年之久，因此降低感測器之功率消耗成為設計感測器電路的首要考量。

相較於OOK調變FSK調變具有較好之抗干擾特性，本專題提出一可變傳輸速率之超低功耗頻率鍵移解調電路架構，突破先前最高解調速度10Mb/s之限制，最高可達40Mb/s，因此可大幅降低接收每單位資料所需之能源消耗，提高能源效益。

我們在TSMC 0.18 μ m製程中實現一適用於人體無線傳輸之超低功耗頻率鍵移解調電路，分別對數位電路以及類比電路進行超低功耗之設計，使數位電路操作在低電壓的環境下，使類比電路之電晶體皆操作在次臨界區，當資料解調速度為40Mb/s時，電路僅消耗436.3 μ W，此時電路每單位資料所需之能源消耗為11pJ/bit。



隊伍名稱

AMOS隊 / AMOS

隊長

張育銓 淡江大學電機工程研究所

隊員

胡毓維 淡江大學電機工程研究所

廖柏舜 淡江大學電機工程研究所

楊承璋 淡江大學電機工程研究所

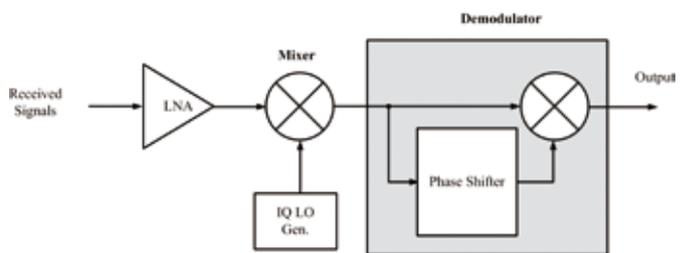


圖1 > 頻率鍵移接收器電路，接收器架構由低雜訊放大器、混頻器與解調電路所組成

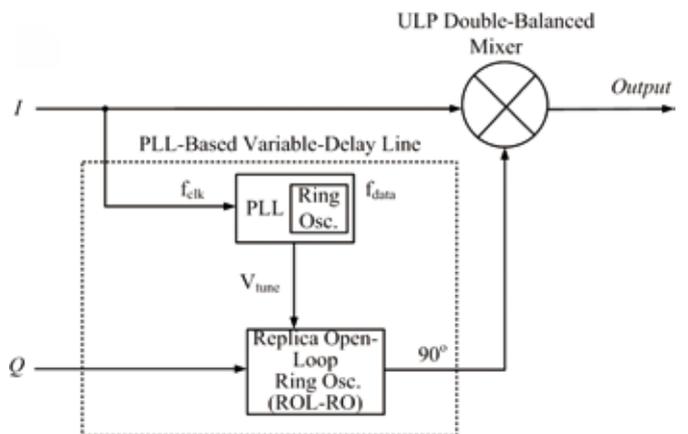


圖2 > 超低功耗頻率鍵移接收解調電路架構，其電路中使用鎖相迴路及開迴路壓控振盪器取代傳統之延遲電路，提供一個穩定之90度相位旋轉延遲電路，供混頻器電路解調使用



指導教授

施鴻源 / 淡江大學電機工程研究所

分別於 2000 年與 2010 年於交通大學取得碩士與博士學位。曾任工業技術研究院資訊與通訊研究所與系統晶片中心技術經理，2011 年進入淡江大學電機工程學系擔任助理教授。

研究領域

射頻積體電路設計、類比積體電路設計、射頻接收發射器設計、數位輔助類比較正設計、生醫積體電路設計。

Abstract

An ultra low power (ULP) frequency shift keying (FSK) receiver can be applied for wearable or implantable physiology sensors and environment monitor sensors. Comparing to on-off keying (OOK) receivers, FSK receivers provides better immunity against interference. Therefore, a ULP FSK receiver can provide stable link quality and extend life time of sensors. In this project, we propose a high data rate, ultra-low power and variable data rate FSK demodulator which can have data rate of over 40Mbps. The energy consumption per received bit of FSK demodulator can be great reduced, which results in a great improvement in energy efficiency. Owing to variable data rate of the FSK demodulator, power consumption and transmission data rate of the FSK demodulator can be trade-off for optimization under different operating conditions.

The ULP FSK demodulator was implemented in $0.18 \mu\text{m}$ CMOS process under supply voltage of 1.8 V and 0.7 V for analog circuits and digital circuits, respectively. The measured maximum data rate of 40 Mb/s under power consumption of $436.3 \mu\text{W}$. Therefore, minimum energy consumption of 11 pJ per received bit can be achieved under maximum data rate of 40 Mb/s.

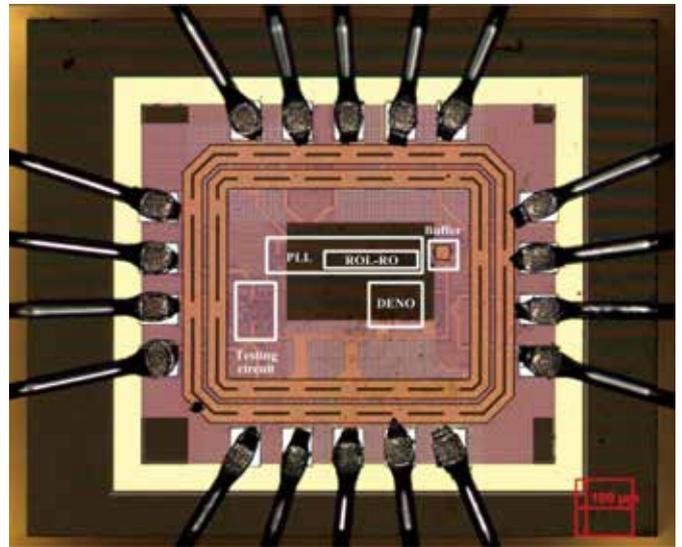


Fig.3 > Micrograph of An Ultra-Low Power Multi-Rate FSK Demodulator in $0.18 \mu\text{m}$ CMOS Process