

DI5-051

A High Efficiency Continuous-Time Sigma-Delta Modulator with New Time-Domain Flash Quantizer

使用新型的「時域快閃式量化器」之高效率連續時間三角積分調變器

隊名 竹狐

隊長 陳宗益 / 交通大學電信工程研究所

指導
教授

洪崇智 / 交通大學電機工程學系

作品摘要

因為新代無線通訊系統 (802.11、802.16-WiMAX、LTE) 的出現，使得在無線系統接收端架構中的 Analog-to-Digital Converter (ADC) 需要更高的頻寬 (1MHz-100MHz) 和更高的解析度 (>10bits)，而在目前的主打低功耗消耗的世代，這將是一個非常嚴重的問題。使用 Continuous-Time Sigma-Delta Modulator (CT-SDM) ADC 來達到相同的頻寬與解析度卻只要消耗幾十毫瓦 (mw) 功率，且在過去十年以來，在國際性的期刊與論文中已有很多可以達到高頻寬與高解析度的 CT-SDM 被發表，而在實際的產品上也有使用 CT-SDM 來取代 Pipeline ADC 的趨勢 (無線通訊上)。相對於 Discrete-Time Sigma-Delta Modulator (DT-SDM)，CT-SDM 可以大大降低系統中類比電路的速度規格以達到低功耗消耗。因為 CT-SDM 有低功耗、小面積的優點，除此之外，CT-SDM 還具有 anti-aliasing filter (AAF) 和 resistive input impedance 的特性。所以若使用 CT-SDM ADC 來應用在無線通訊系統上，可以省略 ADC 前的 AAF 電路，而使整個無線通訊系統達到較低的功率消耗。

隨著先進製程技術的進步，電晶體的臨界電壓越來越低而且可操作的速度越來越快，但可以提供的電壓越來越小，這使得在 ADC 電路設計上越來越困難。所以在這近幾年內，有人提出將 voltage-domain ADC 轉換成 time-domain ADC (TD ADC)，而不受限於低電壓的先進製程。其中最常見的是使用 pulse-width modulation (PWM) 配合 time-to-digital converter (TDC) 和 VCO-based 的兩種方式來實現 CT-SDM 中的量化器。

這次的計畫提出一個新型的「time-domain flash quantizer (TDFQ)」和低功耗消耗的 data weighted average (DWA) 實現技術，並結合於連續時間三角積分調變器以適用於低電壓、先進製程和高頻寬的無線通訊上來達到高頻寬高解析度。這次計畫中所提出三階的 CT-SDM 是應用在 20MHz 的頻寬而且以 TSMC 90nm CMOS 製作，在 1V 的供應電壓下總共消耗 5.8mW，其中 3-bit TDFQ 與提出的 DWA 總共消耗了 1.2mW。在 Fig.1 中可以看出 DWA 的功用，左邊是 DWA 關掉時所得到的 SNDR

為 58.3dB，右邊為 DWA 打開時，SNDR 恢復成 65.3dB。CT-SDM 的 DR 可以達到 67dB，這次提出的 CT-SDM 可以達到 96.3fj/conv.-step 的 FOM。

This project presents a power-efficient realization of a third-order continuous-time delta-sigma (CT- $\Delta\Sigma$) modulator with 3-bit time-domain flash quantizer (TDFQ) and new data weighted averaging (DWA) implementation. Using the time-domain quantizer can overcome design issues in low voltage supply during CMOS downscaling. The CT- $\Delta\Sigma$ modulator uses the TDFQ instead of a voltage-domain quantizer to reduce power consumption. The proposed TDFQ solves the linearity problem of the delay-based voltage-to-time converter (VTC) without calibration circuit while also increasing the quantizer input range and saving energy. Moreover, in order to reduce the mismatch effects of a multibit DAC and achieve low power consumption, implementation of a low-power DWA circuit is proposed by not using digital adder to calculate pointer for controlling barrel shift circuit. This chip was fabricated in 90 nm CMOS process. The proposed CT- $\Delta\Sigma$ modulator consumes 5.8 mW from 1.0 V and achieves peak SNDR of 65.3 dB over the 20 MHz bandwidth, which results in the figure-of-merit (FOM) of 96.3 fJ/level.

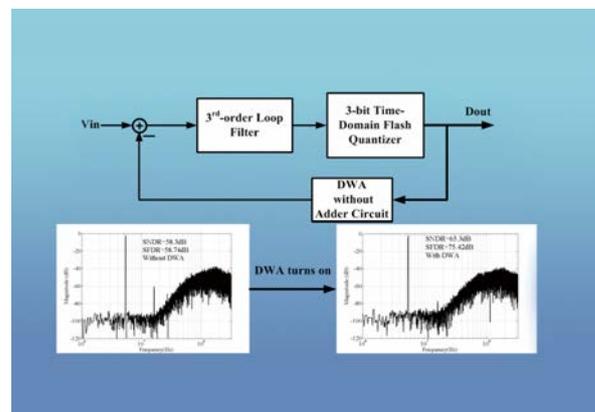


Fig.1 / Overview of proposed CT-SDM