



DESIGN GROUP

08-002

作品名稱

iVisual：由每秒2790張畫面之CMOS影像感測器與每瓦特每秒2050億次運算之視覺處理器組成的智慧視訊系統單晶片

iVisual: An Intelligent Visual Sensor SoC with 2790fps CMOS Image Sensor and 205GOPS/W Vision Processor

隊伍名稱

挖一定要成功 wa must succeed

隊長

程之奇 台灣大學電子工程學研究所

隊員

林家華、李宗德、許安嘉 台灣大學電子工程學研究所



作品摘要

視訊感測器搭配上智慧視訊處理技術在諸如監視系統、健康照護、智慧車輛控制、以及智慧人機介面等應用上可以說是不可或缺的技术。

由於智慧視訊處理技術需消耗大量運算量且如此重要，因此目前也有許多硬體針對智慧視訊處理所需的各種運算進行設計。目前最被看好的設計可分為兩類：與視訊感測器結合的類比處理器和高度平行化的視覺處理器。與視訊感測器結合的類比處理器主要的好處是直接與視訊感測器整合可以大幅減低所需的成本。然而，由於類比信號處理會帶來精確度流失的問題，因此無法處理較為複雜的演算法。且目前的類比信號處理器均欠缺智慧視訊處理所不可或缺的高度設計彈性；目前設計彈性最高的“vision chip”大都也僅限於處理可平行化之規律運算。高度平行化的視覺處理器目前發展到的架構是運用一個SIMD架構之處理器陣列處理可平行化的運算，另外一個獨立的處理器處理其他的運算，可以說是比類比訊號處理更好的解決方案。在這種架構之下，只要增加 processing element (PE)的數目就可以達到相當高的高峰處理速度。然而，處理器陣列平行使用主記憶體會造成相當大的功率消耗，而過大的功率消耗在需要廣為散佈的視訊感測器中是不被允許的。另外，我們發現處理器陣列處理的平行資料在轉換成獨立處理器處理可處理

的單筆資料時，整個系統需要停止，造成了處理速度的瓶頸。因此實際處理速度並無法隨著PE數目的增加而線性的增加。另外一個很重要的議題就是隱私權的問題。這也是要在人生活環境廣佈感測器最需要克服的問題。在以上的多晶片解決方案中，只需探測感測器與處理器間或是處理器與記憶體間的資料就可以很輕易地取得拍攝到的視訊資料，這也造成了隱私權的問題。

我們提出了iVisual這類晶片，他有三個最主要的特點：
(1) 單晶片整合每秒鐘可以偵測2790張畫面的高速視訊感測器、每秒鐘可以處理高達768億次運算的視覺處理器與1Mb的畫面記憶體。晶片的輸入是光，輸出就是智慧視訊處理判斷後的結果。完全避免資料從晶片中流失，可以解決使用者對隱私權的疑慮。就我們所知，這也是世界上整合度最高的一個視訊分析解決方案。
(2) 我們新提出的視覺處理器架構(包含特徵處理器以及多處理器協調機制)可以解決現有架構內處理速度的瓶頸問題，進一步提昇51%的處理速度。
(3) 我們新提出的特徵處理器、PE cache架構與自動關閉時脈的機制使得iVisual在量測數據上功率使用效率(GOPS/W)是目前視覺處理器的五倍以上。而我們提出的特徵處理器、畫面管線化架構以及可動態調整之記憶體配置機制使iVisual的面積使用效率(GOPS/mm²)為目前視覺處理器的2.7倍以上。



指導教授

陳良基 老師 台灣大學電子工程學研究所

- 75年取得成功大學電機研究所博士學位，為國內CAD領域第一位本土博士。
- 78年進入台灣大學電機系任教，目前為台大電機系特聘教授。
- 陳教授領導的332實驗室，在研究團隊的共同努力下，擁有多項創新論文及專利，尤其是在「DSP架構設計」與「數位視訊技術」兩個研究領域上已躋身國際學術領先之研究群。
- 陳教授年年獲得國科會研究獎勵及龍騰論文獎。
- 三次獲頒國科會傑出研究獎及技轉貢獻獎。
- 並於獲選為IEEE Circuits and System Society之Distinguished Lecturer及獲頒IEEE Fellow。

Abstract

Visual sensors combined with video analysis technology can enhance applications in surveillance, healthcare, intelligent vehicle control, human-machine, interface, and so on.

Due to the importance and the high computational complexity of video analysis algorithms, hardware solutions exist for video analysis. Analog on-sensor processing solutions feature the integration of image sensor and a 2-D parallel per-pixel processor array. However, the precision loss issues of analog signal processing prevent those solutions from realizing complex algorithms. These solutions also lack flexibility for they handle only frame-in, frame-out operations. Vision processors provide more feasible solutions for handling complex algorithms. In those processors, a SIMD processor array is designed for parallel data in, parallel data out operations, and another separate processor, we call it decision processor, is designed for other operations. High GOPS numbers are realized by increasing the parallelism of the processor array. However, the dataflow mismatch between the processor array that produces parallel data and the decision processor that consumes scalars induces a throughput bottleneck. Take XETAL-II of ISSCC 2007 for example, the data production rate of processor array can achieve 430Gb/s. However, the data consumption rate of decision processor is only 2.7Gb/s. Furthermore, due to the massively-parallel processor array architecture, the memory access bandwidth in the vision processors is significant, and this leads to a high power consumption.

Privacy invasion is always a critical issue in setting up visual sensors around living spaces because of the danger of revealing video data from image sensors or processors. These issues exist with the above-mentioned solutions because of the inevitability of inputting or outputting video data. The video data can be easily accessed by physical attacks.

iVisual is characterized as follows: (1) High level of integration: iVisual is a light-in, answer-out SoC integrating CMOS image sensor, 76.8GOPS vision processor and 1Mb storage. No video data need to be revealed outside the chip during the video processing. The possible privacy problems are therefore avoided. (2) New vision processor architecture: feature processor eliminates the throughput bottleneck and increases 36% of average throughput. The inter-processor synchronization scheme ensures minimum communication between processors and further increases 23% of throughput. (3) High power/area efficiency: the 205GOPS/W power efficiency is achieved by introducing feature processor, processing element (PE) register file and instruction-level gated clock. The 1.16GOPS/mm² area efficiency is achieved by introducing feature processor, bitplane memory structure and reconfigurable storage allocation.

