作品名稱

10Gbps晶片微型網路之交換器設計與應用

10 Gbps Micro Switch for Network on-Chip
Design and Application

隊伍名稱

積體電路系統整合

High Technology System-on-Chip Consolidation

隊　　長

林亮毅 雲林科技大學電子工程研究所

隊　　員

趙偉翔、陳鍠元、羅文宏 雲林科技大學電子工程研究所

作品摘要

在VLSI領域裡，自製程技術從0.18微米，一直進步到0.90、0.65微米，單一晶片裡所能夠擺入的電晶體越來越多，系統單晶片SoC (System on Chip)的設計方式也因此被提出。而隨著晶片內的矽智產(Silicon Intellectual Property: IP)越來越多，各個IP之間的溝通也越來越頻繁，對於匯流排頻寬的需求也一天一天增加，因此像AMBA之類的傳統單一共享式匯流排所能夠提供的頻寬，已漸漸不敷使用。

由於晶片內部之各個IP運作時脈都不一定相同，如果使用單一共享式匯流排則不易整合各個IP，而晶片網路的設計方式由於有局部同步全域不同步(GALS, Globally Asynchronous Locally Synchronous)之特性，所以更易於整合各個運作於不同時脈的IP。因此我們提出一個可以應用於晶片網路環境中的高效能微型交換器，以取代現行使用之單一共享式匯流排架構。

交錯型交換器(crossbar switch)在晶片微網路中扮演著資料傳輸的媒介，同時也是決定整個傳輸效能的關鍵元件。其中，交錯電路架構(crossbar architecture)為交換器的核心部分，也掌控整個網路產能(throughput)。因此，必需具有一個高效能且低成本的交錯電路架構，以提供高速的晶片網路傳輸。在傳統的大型網路交換器的

演進從輸出埠緩衝行列(Output Queue)、輸入埠緩衝行列(Input Queue)、結合輸入埠與輸出埠緩衝行列(Combined Input and Output Queue)和結合輸入埠與交叉緩衝行列(Combined Input and Cross-point Queue)到現在，我們提出了一個新型的交錯型架構，稱為多通道交叉點緩衝器行列結構(multi-channel cross-point buffer queue)，以改善傳輸效能。每一筆資料可以直接被送到對應的交叉點緩衝器中，並且透過公平仲裁電路將資料循序由輸出埠送出。本交錯型交換器也可應用於不同的服務品質(quality of service, QoS)傳輸的機制，分配適當的頻寬以提升整體傳輸效能。

作品創新性的呈現 (a) 提出微型網路資料封包格式 (b) 提出low-cost and high-speed的微型交換器 (c) 提出微型網路介面電路設計 (d) 提出MCCQ微型交換器 (e) 提出公平式分散排序控制方法與電路 作品完整性的呈現: (a) 完成5-port MCCQ微型交換器之交換效能分析與驗證 (b) 完成高效能10Gbps交換器之FPGA晶片設計與驗證 (c) 完成 cross-point based交換電路之全客戶式晶片設計與驗證 (d) 完成 multiplexer based 交換電路之半客戶式晶片設計與驗證 (e) 完成多重影像快速傳輸之微型網路(twin star topology)應用(f) 完成微型交換器與ARM處理器整合之SoC晶片設計與驗證。

指導教授

許明華 老師 雲林科技大學電子工程研究所

- 國立成功大學電機博士 1989/09 至1993/04。
- 逢甲大學電子系專任副教授 1993 / 08 至1994 / 07。
- 國立雲林技術學院電子系專任副教授 1994 / 08 至1997 / 07。
- 國立雲林科技大學電子系專任副教授 1997 / 08 至2004 / 01。
- 逢甲大學電機研究所兼任副教授 1999 / 08 至2002 / 07。
- 國立中興大學電機系短期訪問學者 2008。
- 國家晶片實現中心(CIC)諮議委員 2006~2008。
- 教育部顧問室"PAL聯盟規劃"召集人 2006~2007。
- 教育部顧問室"Layout & Prototyping設計聯盟規劃"執行秘書 2002~2005。
- 行政院勞委會儀表電子技術士技能檢定監評委員 1996~2007。
- "2007系統雛型與電路設計創新應用研討會"大會共同主席。
- 國科會晶片實現中心(CIC)晶片審查委員 1997~2005。

Abstract

In VLSI design field, the fabrication technology is progressing from 180nm, 90nm to 65nm such that a large amount of transistors can be integrated into a single chip and the design methodology of SoC becomes important. As the number of IPs is growth on chip, the communication among IPs is also turning into complex. Thus the bandwidth of the single shared-bus interconnection is not sufficient in many applications.

In general, the IPs are designed with different operating frequency, so they are difficult to be integrated into a single shared-bus. However, the on-chip network design has the property of globally asynchronous and locally synchronous (GALS) which can easily integrate each IP in different clock domain. As a result, we propose a high-efficiency micro-switch to replace single shared bus interconnection.

The crossbar switch is the intermediate of data transfer for on-chip micro-network. Also, it is the key component to determine the overall transmission performance. The crossbar architecture is the core of the switch which handles the network throughput. Therefore, it is necessary to obtain high-performance and low-cost crossbar architecture for offering high-speed on-chip network transmission. The progress of traditional network design uses output queue, input queue, combine input and out queue, and combined input and cross-point queue for data delivery. We propose a novel cross-point architecture, is called multi-channel cross-point buffer queue to improve the transmission efficiency. Each data can be sent into the corresponding cross-point buffer directly, and the fair arbitration circuit is employed to transfer data in turn. The crossbar switch can be applied to different quality of service (QoS) for bandwidth allocation that improves the overall transmission efficiency.

The creative of this work proposed several features is shows as follows. (a) data packet format for micro-network, (b) low-cost and high-speed micro-switch architecture, (c) micro-network interface design, (d) MCCQ micro-switch, (e) fair and distributed sorting control method and circuit design.
The integrity of this work also performs several verifications as follows. (a) complete 5-port MCCQ micro-switch performance and verification, (b) complete high-efficiency 10Gbps switch FPGA design and verification, (c) complete cross-point based crossbar full-custom design and verification, (d) complete multiplexer based crossbar on semi-custom design and verification, (e) complete fast multiple image transmission micro-network design in twin-star topology, (f) complete micro-switch and ARM processor design and verification.