



Design 08-019

作品名稱

一個直接高速傳輸的40Gbps四埠分時多工交換機晶片
A 40Gbps 4-port STDM Switch IC Switching Directly
on High-speed Domain

隊伍名稱

最終幻想 Final Fantasy Dream

隊長

陳煥達 清華大學電機工程研究所

隊員

林洋緒 清華大學電機工程研究所

許育豪、高旻聖 清華大學通訊工程研究所

指導教授

吳仁銘 老師 清華大學通訊工程研究所

作品摘要

由於近來光纖技術的發展，使得建立一個高速的網路交換機更顯得重要。現今市售的交換機都是建構在共享記憶體基礎上，在這樣的架構中大量封包透過記憶體來儲存與轉交，記憶體的存取速度變成了交換機系統的瓶頸，本次下線我們實現突破性的交換機架構，以期能應用於未來光纖普及的高速網路。主要架構乃是基於本團隊所提出的負載平衡式布可夫-范紐曼交換機(Load Balanced Birkhoff-von Neumann Switch)，架構分前後兩級，第一級做負載平衡、第二級做分封交換，理論上已證明此架構可達效能百分百的傳輸品質。此前犧牲架構的好處是來自於架構本身的可擴充性(scalability)，只要我們將4X4埠的交換機晶片實現，之後便能以此為單元建構出16X16或64X64埠甚至到1024X1024的骨幹級交換器。

然而，在將整個SERDES介面整合至4x4交換機核心的同時，我們發現了整個輔助性的SERDES電路佔據了大部分的面積與功耗，於是問題回到了整個架構的原點，也就是clock rate與bus width的決定，先前的數位STDM switch採用Cell-based design flow，受限於製程cell-based design flow本身的速度極限，要實現Giga級的資料傳輸速率，勢必要以parallel data bus來同時處理資料，然而大量bus使用需要進一步藉由高速的SERDES介面來解決晶片pin count的限制。這次我們採用全新的思維，設計一個高速40Gbps的交換機，每port的資料以serial bit level的方式直接處理，將10Gbps/ch的高速資料直接在高速的domain直接做交換，不再使用SERDES費心的解成20bit-bus後才於低速domain做交換。

為了要降低位元錯誤，一個資料時脈還原電路使用在4埠交換機之前。這個電路還原出資料以及時脈信號，從接收端的資料信號，使得下一級的交換機能更快速及正確的處理接收到的訊號。這個創新的高速資料時脈回電路架構，可以取代先前的鎖相迴路，除了增加了時脈速度，還能夠有效的降低位元錯誤率。

此外，最大特性的資料時脈還原電路是可以處理10Gbps的輸入訊號。與其它使用半速度或是四分之一速度的電路最大之差別是我們採用全速度式的架構來達成10Gbps的高速。因此，我們提出一個創新的“單級相位偵測器”能夠操作在全速10Gbps還能有最小的面積以及最小的功率消耗，相較於其他全速式的資料時脈還原電路，我們的架構不但是最簡單，而且也最具有創意以及遠景的晶片。

Abstract

The rapidly growing volume of data transfer in optical communication has recently rekindled the interest of high-speed switch fabrics. Available switch fabrics nowadays are mostly built on the shared-memory architecture, in which vast packets are stored and transferred through the speed-bottleneck component in the overall system, memory. In this tape-out, proposed new switch fabric architecture, Load Balanced Birkhoff-von Neumann Switch, has been accomplished for the sake of future application to the optical and high-speed communication networks. Load Balanced Birkhoff-von Neumann Switch, which consists of two stages, load-balancing and switching stage respectively, has been proved to achieve 100% data throughput. The main advantage of this perspective architecture is scalability. As long as a 4x4 switch fabric is realized, the whole system could be easily extended to 64x64 or even 1024x1024 switch backbone network.

Nevertheless, while the SERDES interfaces are integrated into the 4x4 switch fabric core, it is found that the SERDES circuits take up most of the chip area and power consumption. This work handles data directly at 10Gbps per channel and achieves overall 40Gbps data rate without further data composition and decomposition through SERDES.

In addition, the biggest characteristic of the Clock and Data Recovery circuit is full rate 10Gbps. Unlike the structure of Clock and Data Recovery is half rate or even quad rate. We propose an innovative SSPD (Single Stage Phase Detector) operated at full rate 10Gbps with the smallest chip area and power cost. This Full rate Clock and Data Recovery not only challenge the design difficulty but also save more pleasure chip area. Comparing with the other Full rate circuit, Our new architecture only needs 72 (mW) in the same clock rate. Consideration of chip area is saved and the benefit of low power consumes. We can call this SSPD Clock and Data Recovery is a creative and imaginative IC.