

作品名稱

一個 7.39mm^2 , 76mW 適用於IEEE 802.11n通訊系統的(1944,972)低密度奇偶校驗解碼器之晶片設計

A 7.39mm^2 76mW (1944,972) LDPC Decoder Chip for IEEE 802.11n System

隊伍名稱

天才向前衝 Genius

隊長

施信毓 台灣大學電子工程學研究所

隊員

詹承洲 台灣大學電子工程學研究所

趙敏安、溫仁揚 台灣大學電機工程學系

指導教授

吳安宇 老師 台灣大學電子工程學研究所

作品摘要

低密度奇偶校驗編碼(Low-density Parity-check Codes)是一種通道編碼技術，最早是在1962年由Robert Gallager博士所發表，它能夠將資料傳輸錯誤率更趨近向費極限(Shannon limit)。然而當時製程技術卻無法實現這種複雜的編碼系統，也就逐漸地被遺忘了。直到1995年，終於由MacKay與Neal兩位博士重新發現，並且隨著超大型積體電路技術不斷的演進，要實現此編碼系統不再是不可能的任務，才再度引起人們廣泛討論與研究。

本作品的目標是在支援無線區域網路通訊標準(WiFi, IEEE 802.11n)之下，針對低密度奇偶校驗編碼的解碼器，提出一套完整的解碼設計方法，包含(1)針對檢查點單元的運算:群組化比較方式(Group Comparison Method)、(2)針對變數點單元的運算:動態字長分配(Dynamic Wordlength Assignment)和(3)針對運算單元和儲存記憶體:資料封包存取策略(Data Packet Scheme)等技巧，設計出一顆具有高效率解碼功能的晶片。除此，在晶片佈局上，我們提出有效率的記憶體擺放方式，以減少晶片線線複雜度和縮小晶片面積。本作品利用TSMC 0.13um 1P8M CMOS製程來實現硬體，並透過CIC進行晶片下線。解碼器硬體實現的核心面積(core size)為 3.88mm^2 ，整體的晶片面積為 7.39mm^2 ，可操作的最大頻率為 111.1MHz ，所消耗的平均功率為 76mW 。總而言之，本作品具有下列各項特點：(1)增加晶片執行速度、(2)縮小整體晶片的面積、(3)降低功率的消耗、(4)提升解碼效能和(5)增加解碼的總吞吐量。

Abstract

Low-density Parity-check (LDPC) codes, which own the best error-correcting ability among all of the error correction codes, were first introduced by Dr. Gallager in the early 1960s. But it was very difficult to realize the hardware architecture and chip implementation due to the limited VLSI technology at that time. Unfortunately, LDPC codes were not widely researched and were left behind little by little. After three decades, LDPC codes were rediscovered by Dr. MacKay and Neal. The excellent error-correcting performance is proved much closer to the theoretical lower bound, Shannon limit. Moreover, with the dramatic advancement of VLSI technology, it is not an impossible mission to implement LDPC codes as the forward error correcting (FEC) schemes in the advanced communication systems.

This work presents the LDPC decoder chip for (1944, 972) QC-LDPC codes in IEEE 802.11n communication system, WiFi. The efficient LDPC decoder chip is designed with three design techniques, including Group Comparison (GC), Dynamic Wordlength Assignment (DWA), and Data Packet Scheme (DPS). By using TSMC 0.13um VLSI technology, the core area and die size are only 3.88 and 7.39mm^2 respectively. The maximum operating frequency is measured at 111.1MHz and the corresponding power dissipation is only 76mW . Briefly speaking, the LDPC decoder chip features critical path shortening, low area cost, low power dissipation, performance improvement, and throughput enhancement.