



D9-060

作品名稱 適用於未來無線廣域網路系統之高吞吐量可重組化迴旋渦輪解碼器設計
High-Throughput Reconfigurable Convolutional Turbo Decoder Design for Future Wireless WAN Systems

隊伍名稱 度特博 D-Turbo

隊長 陳俊諭 台灣大學 電子工程學研究所

隊員 林承鴻 · 施信毓 台灣大學 電子工程學研究所

作品摘要

由於無線設備使用者對於多媒體影音傳輸的需求與日俱增，使得目前的無線廣域網路系統，如LTE與WiMAX標準，及未來的第四代行動通訊系統，都已製訂符合高傳輸速率（大於100 Mbps）的需求。近年來為了增加傳輸的可靠度，這些無線廣域網路系統納入更先進的通道碼（Channel coding）技術。其中，1993年由Berrou等人所發現的單二元（Single binary）迴旋渦輪碼（Convolutional turbo code），被證實具有接近向農邊界的解碼效能。接著在1999年，在一個時間點編解碼兩個位元的雙二元（Double binary）迴旋渦輪碼被提出，並被認為具有更佳的編碼增益。此兩種形式的渦輪碼已經分別被LTE系統與WiMAX系統所採用。

此研究的主要目標即是設計一套適用於目前LTE與WiMAX系統，並且可延伸至未來第四代行動無線廣域網路的高吞吐量且可重組化的迴旋渦輪解碼器。所提出的迴旋渦輪解碼器具備下列特色：一、針對迴旋渦輪解碼器的兩個主要組成單元，即最大事後機率解碼器（MAP Processor）與交錯器（Interleaver），提出提升吞吐量的新架構；二、利用單二元與雙二元迴旋渦輪碼演算法上的運算相似性，設計面積優化可重組之最大事後機率解碼器，以支援此兩種形式的迴旋渦輪碼；三、針對LTE與WiMAX系統的迴旋渦輪碼規格做為設計標的，利用交錯器的平行特性與運算相似性，設計面積優化可重組且無記憶體存取障礙（Memory contention-free）之交錯器。合成結果證實在少於10%的硬體多於成本下，可使最大事後機率解碼器達到支援兩種規格之迴旋渦輪碼演算法的目標。與單獨針對LTE與WiMAX系統規格所設計交錯位址產生器，我們所提出的硬體共用交錯器更可減少36.8%的硬體成本來產生LTE或WiMAX系統規格所需要的交錯位址。

最後，我們將所提出的高吞吐量且可重組化最大事後機率解碼器與交錯器整合在單一顆迴旋渦輪解碼器晶片之中。其以UMC 90 nm 1P9M的先進製程來實現，共有35種不同的操作模式，晶片核心面積為3.38 mm²，且最高可操作的頻率為164 MHz，可達到301 Mbps的資料傳輸率。此迴旋渦輪解碼器設計是目前文獻中首先達到同時支援LTE與WiMAX雙標準迴旋解碼並有晶片結果之驗證模型，可順利符合且達到未來無線通訊網路的傳輸需求。



指導教授

吳安宇 台灣大學 電子工程學研究所

- 吳教授於1992年和1995年分別在美國馬里蘭大學獲得電機工程碩士和博士學位。1996年回國後服務於中央大學電機系，2000年加入台灣大學電機系和電子所迄今，並於2007年起獲聘任為工業技術研究院系統晶片科技中心副主任。
- 專長領域：主要研究領域涵蓋VLSI/CAD、寬頻通訊積體電路設計、VLSI信號處理System-on-Chip (SoC)設計技術。未來研究工作將以目前在數位電路設計上的成果為基礎，繼續以理論創新、宏觀歸納，及提升SoC/IC設計技術為研究目標。



Abstract

With the rapid growth of multimedia service demand, the data-rate requirement will be higher than 100 Mbps for future wireless WAN, such as 3GPP-LTE and WiMAX systems. In recent years, these wireless WAN systems have adopted advanced channel coding schemes in order to increase transmission reliability. Among them, the single-binary convolutional turbo code (SB-CTC) introduced by Berrou et al. in 1993 had been proved to have decoding performance close to the Shannon limit. Then, in 1999, the double-binary CTC (DB-CTC) was proposed to encode/decode two bits per time and yield to better coding gain compared with the SB-CTC. The SB- and DB-CTC schemes have been adopted in 3GPP-LTE and WiMAX systems, respectively.

The goal of this proposal is to design a high-throughput reconfigurable CTC decoder that can be used in future wireless WAN systems. The features are 1) propose new architecture for the MAP decoder and Interleaver, the two main components of the CTC decoder, to achieve high-throughput requirement, 2) design the reconfigurable MAP decoder which can support both SB-CTC and DB-CTC based on the computational similarity between their decoding algorithms, and 3) design an area-efficient and memory contention-free Interleaver that can be configured to support 3GPP-LTE and WiMAX systems. The synthesis results show that the hardware overhead for the MAP decoder to support both CTC decoding algorithms is less than 10%. And the proposed Interleaver can reduce 36.8 % hardware resource to generate the interleaved address of both 3GPP-LTE and WiMAX systems.

Finally, the proposed MAP decoder and Interleaver are embedded into a CTC decoder. By using UMC 90nm 1P9M CMOS process, the proposed CTC decoder is implemented in a chip at 164 MHz maximum operating frequency with core size of 3.38 mm². It can support 35-mode CTC decoding for both 3GPP-LTE and WiMAX systems and achieve maximum throughput of 301.2 Mbps. To the best of our knowledge, the implemented high-throughput CTC decoder chip is the first CTC decoder to support both 3GPP-LTE and WiMAX CTC schemes and meet the throughput rate requirements of future wireless WAN systems.