



D9-064

作品名稱 跨協定電子系統層級驗證
Hierarchical Cross-Layer Control ESL Verification

隊伍名稱 網路派對 NetWork Party

隊長 賴建豪 崑山科技大學 電子工程研究所

隊員 吳俊慶 · 鄭宇良 · 陳偉群 崑山科技大學 電子工程研究所

作品摘要

本研究提出了一種具有成本效益及高效率的電子系統層級（ESL）驗證平台，用以共同探究（co-explore）、驗證無線多媒體網路矽智財（Silicon Intellectual Properties; SIPs）與跨協定演算法，以達到下列兩個目標：1. Algorithm/Architecture（A/A）Co-exploration: 驗證矽智財在網路環境下行為以及與跨協定演算法（Cross-Layer Algorithms, CLAs）合作的情形；2. Extending ESL Verification Levels: 讓ESL驗證向下延伸到實體訊號層，向上延伸到演算法與網路行為層（algorithmic behavioral and networking level）。突破了傳統ESL工具只能在Transaction以及ISA 兩個Levels進行驗證的瓶頸。

這兩個目標分別由網路模擬工具（NS-2）以及FPGA來完成。NS-2實現ESL向上延伸到CLA與網路通訊的目標，實體FPGA向下延伸到實體訊號層的目標。其中NS-2提供了更接近實際狀況的動態無線網路環境，量測時MAC/PHY層的SIPs和多媒體影音串流編碼器更接近實際上無線網路的傳輸環境，但可以省去網路佈置（deployment）的時間、也不用設計多套對傳設備進行互通實驗、省掉了實體層RF與類比電路的設計、以及免去無線訊號量測設備的成本。因此對System-on-Chip（SoC）過程省下許開發SIPs下線與量測的時間。

我們以AMBA SoC Bus來連接FPGA與Microcontroller，並設計驅動程式、Middleware來完成跨協定控制（Hierarchical Cross-Layer Control; HCLC）的架構。讓HCLC演算法可以和MAC/PHY的真實硬體（real hardware）矽智財可以共同驗證，讓SoC或SIP設計者很容易進行軟硬體分工、與所謂A/A co-design, A/Aco-exploration。除了軟硬體連接之介面之外，我們提供了AMBA SoC Bus Analyzer、ASIC Conversion、以及硬體設計範本，用以讓SoC設計者快速進行SoC整合。

本研究以時下最重要的數個無線網路為範例，在IEEE 802.11e HCCA WLAN, EDCA VANET, IEEE 802.16e WiMAX, MAC層中加入QoS矽智財為例。經過MPEG-4與H.264影片在無線網路上串流的實驗，證明我們所提出的ESL平台，支援不同無線網路標準讓硬體與跨協定控制演算法之間獲得最佳的搭配。



指導教授

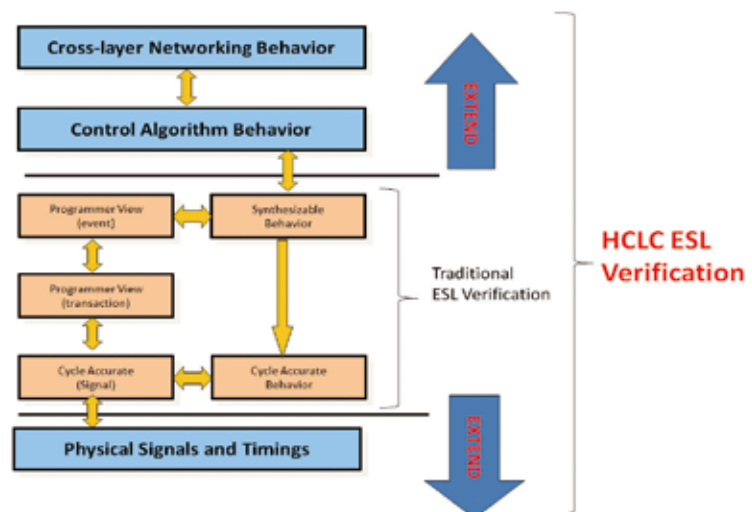
陳朝烈 高雄第一科技大學 電子工程系

- 2000~2008年於崑山科技大學電子工程學系任教，目前擔任高雄第一科技大學電子工程系副教授。
- 獲獎事項：指導學生參加2008年教育部全國大專IC設計競賽可程式邏輯設計(FPGA)組佳作，2007年獲頒教育部顧問室「聯盟推動貢獻獎」，2007年指導學生參加教育部微電腦應用系統設計製作競賽機器人與自動機具類全國第三名、第三屆數位訊號處理創思設計競賽音訊號處理組全國第三名、參加國際賽獲得Excellent Work、以及第七屆旺宏金矽獎半導體設計與應用大賽設計組優勝。
- 專長領域：通訊網路系統晶片(SoC)與矽智財設計、無線通訊網路嵌入式系統、機器學習、計算理論。



Abstract

We propose an extended Electronic System Level (ESL) verification framework for co-exploration of cross-layer algorithms and architectures of wireless multimedia networking embedded systems. The ESL framework integrates Hierarchical Cross-Layer Control (HCLC), network simulator, Electronic Design Automation (EDA) tools, and real Field Programmable Gate Array (FPGA) hardware to extend verifications up to algorithmic and networking levels as well as down to physical signal levels. Exploiting the network simulator, the HCLC ESL alleviates both benchmarking and deployment of wireless network environment when fitting a Silicon Intellectual Property (SIP) prototype to the FPGA. Therefore, cross-layer algorithms and system prototypes are easily co-verified. Software and hardware co-programming paradigm for evolving the FPGA prototype toward a platform-based reusable SIP with driver and cross-layer interface are also proposed. Case studies including Wireless Local Area Networks (WLAN) and Vehicular Ad hoc Networks (VANET) show that we efficiently approach optimal collaborations between MAC layer QoS SIP and upper layer protocols based on the fast exploration of cross-layer control algorithms and architectures.



The HCLC ESL extends verification upward to cross-layer networking level and downward to physical signals and timings level.