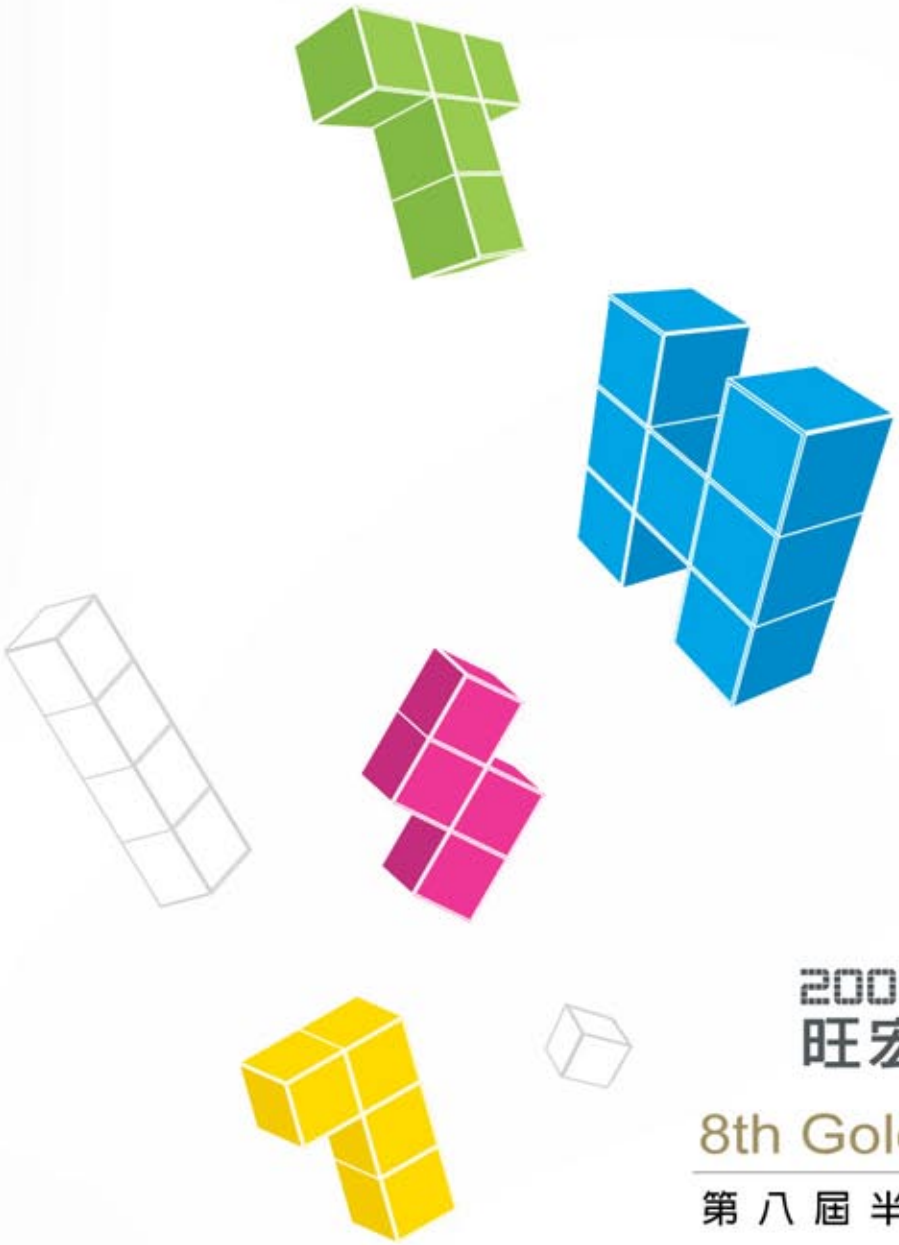


2008 旺宏金矽獎

8th Golden Silicon Awards

第八屆半導體設計與應用大賽

www.mxeduc.org.tw

目錄 contents

認識 旺宏電子

旺宏為全球最大及最先進的唯讀記憶體生產製造公司，更是世界級的非揮發性記憶體領導廠商。旺宏提供跨越廣泛規格及密度的ROM唯讀記憶體及NOR型快閃記憶體產品，以供客戶在嵌入式系統，消費性及企業應用上擁有最佳的解決方案。

旺宏於1989 年創立於台灣新竹科學園區，自成立以來，即持續落實自有產品的競爭優勢，並不斷提昇生產製造能力，以提供客戶高品質的產品與服務。因此，成功地與世界級大廠建立長期而互惠的策略伙伴關係。旺宏秉持高標準公司治理，致力維護投資人關係，並積極遂行企業社會責任，也獲頒第二屆上市上櫃公司治理制度評量認證的肯定。

旺宏以每年營收的14%~24%投資於研發工作，歷年發表的技術論文，持續入選IEDM及ISSCC等多項國際學術會議。旺宏目前擁有超過兩千八百項國際關鍵技術及專利等智慧財產權，並與全球高科技業界領導廠商成立技術合作聯盟，共同進行相變化記憶體先驅技術的研究；另外，旺宏也領先發表全球首篇Flash前瞻技術之BE-SONOS論文，皆是為了提供次世代非揮發性記憶體的解決方案。

旺宏是全球少數能夠提供從512Kbit 至 128Mbit 完整Serial Flash系列產品的公司，我們並擁有極小尺寸的Flash產品，可充分滿足可攜式電子產品日趨輕薄短小化的需求。在ROM唯讀記憶體部份，我們已擁有1Gb XtraROM™產品，並計畫量產75奈米2Gb產品。旺宏也提供良裸晶粒(Known Good Die, KGD)產品，以供系統級封裝(System In Package, SIP)的需求。

此外，為落實專注經營，並達到資產運用最佳化的營運效益，旺宏獨立邏輯產品部門，於2007年正式成立四家子公司。結合子公司於建構行動通訊平台(Mobile Platform Solutions)的研發技術能力，旺宏進一步擴大了集團整合運作的效果。

展望未來，旺宏將繼續研發技術並加速落實自有產品的競爭優勢，持續開發新產品、強化技術、品質和服務等，以繼續提昇公司的整體競爭力與獲利，為旺宏的永續經營及台灣的世界競爭力而努力。

認識 財團法人旺宏教育基金會

緣起

從成立的第一天起，旺宏電子就以「實在」的態度做事待人，在所有同仁胼手胝足的努力下建立起今天的旺宏；十多年來，旺宏始終沒有忘記要對這塊土地的人與自然有所回饋；早年旺宏以捐款的方式提供資源給慈善單位以及大專院校內的服務性社團，讓他們可以有多一點的經費為弱勢團體服務；近來，旺宏陸續舉辦自然生態講座、紅毛猩猩的保育活動、盲人體驗營活動等，希望以活動的方式讓更多人參與，喚起更多的共鳴。21世紀全球的榮景將建築在〝知識經濟〞的磐石上，唯有積極的培養〝人才〞讓下一代都能夠擁有自我的價值，在國際上展現堅強的競爭實力。2001年旺宏電子捐贈成立「財團法人旺宏教育基金會」，希望透過基金會的機制能更有系統、更積極的在教育人才上投注心力，啓動年輕一代創新的能力。

宗旨

本基金會依照民法暨教育部主管教育事務財團法人設立許可及監督準則組織之，定名為「財團法人旺宏教育基金會」(以下簡稱本會)，本會以提昇知識經濟價值，培育科技人才，關懷兒童與青少年身心發展，提昇社會祥和與生活品質為宗旨，依有關法令規定辦理下列業務：

一、贊助科技推展。
二、獎勵傑出科技人才。
三、培育兒童與青少年，對科學、人文、自然的認知及興趣。
四、規劃自然觀察，人文、史蹟、民俗藝術等活動。
五、其它符合本會設立宗旨之相關公益性教育事務。

基金會推手

教育是百年大業，需要有計劃的進行與日復一日的堅持。一群來自國內產、官、學各界的傑出人物，在台灣面臨企業發展、兩岸關係、學術研究、環境保護等種種議題的時刻挺身而出，經由基金會的機制，在產業發展與人才培育上投注心力。他們提供資源，也貢獻所學，是本會得以順利成立並有效運作的強力推手。

董事長	吳敏求	旺宏電子股份有限公司董事長
董　事	胡定華	建邦顧問股份有限公司董事長
董　事	劉炯朗	中央研究院院士
董　事	鄧啓福	國立交通大學電信工程學系榮譽教授
董　事	蘇炎坤	崑山科技大學校長
董　事	呂宗昕	國立台灣大學化學工程系教授
董　事	盧志遠	旺宏電子股份有限公司總經理
董　事	游敦行	旺宏電子股份有限公司資深副總經理
董　事	李執鐸	建邦顧問股份有限公司總經理
執行長	張宜如	旺宏電子股份有限公司企業關係室部經理

旺宏金矽獎—半導體設計與應用大賽

有鑒於國內高科技人才養成之不易，並為鼓勵台灣大學院校學生創新研究的精神，並促進產業與學術領域的良性交流互動，由旺宏電子及財團法人旺宏教育基金會於2000年舉辦第一屆「旺宏金矽獎－半導體設計及應用大賽」，逐年持續獲得各大專院校教授及學生的熱烈迴響，每屆參賽學生均可說是該校系所的優秀學生及傑出代表，他們將旺宏金矽獎視為電機、電子相關領域的重要指標性獎項，與全國好手一較高下，以評量自己所學。

希望未來—知識工程計劃

基金會的工作重點將放在人才的培養,針對不同年齡學子持續策劃各類型知識工程活動，藉由〝希望未來-知識工程計劃〞的進行，縮短國內學子的知識貧富差距，同時兼顧對人文、自然的關懷與愛。

旺宏科學獎

旺宏教育基金會為啓發全國高中高職學生對自然科學與應用科學的興趣，並鼓勵高中生探索科學的精神與創造發明的潛力，於2002年開始舉辦第一屆「旺宏科學獎」，由國立暨南國際大學李家同教授擔任召集人，並與中央研究院副院長劉兆漢先生、國立暨南國際大學校長張進福先生、東海大學榮譽教授王亢沛先生及國立清華大學物理系教授陳信雄先生共同組成召集委員會齊力推動。「旺宏科學獎」提供一個與其他學校同學良性競爭的環境及成果發表的園地，每屆參與同學持續增加，獲得同學、家長、及學校的高度重視，獲獎同學將可獲得大學四年之獎學金補助，持續培養學生靈活思考、多元學習的精神。

旺宏電子講座

在科技產業的發展中，「傳承」與「創新」同等重要，我們在啓發國內學子的創新思維上投注龐大心力，對於知識的傳播也一樣重視。「旺宏電子青年教授講座」對於國內、外積極參與「超大型積體電路」及「系統整合晶片」教學的青年教授，在各項專門課程的講授上給予實質鼓勵，讓國內學生相關領域的知識能與世界同步。這項2003年正式啓動的計劃，希望透過拋磚引玉的方式，吸引更多企業界和優秀教授參與，讓學術教育與產業需求更緊密結合，提昇國內高科技產業的國際競爭力！

旺宏科學獎聯誼會

為了讓「旺宏科學獎」的精神得以永續延伸，基金會於2004年9月為每屆獲獎同學成立「旺宏科學獎聯誼會」，舉辦各項活動與年會，加強交流與成長。

天使的微笑

每一個小孩都是天使，也是社稷未來的希望！這項計劃是讓基礎教育拓展至偏遠小學的具體作法。我們與學校一起討論自然生態、表演藝術、地球科學、民俗技藝或鄉土風情等相關主題的計劃，由基金會給予協助，讓偏遠地區或資源不足的小學增加與外界接觸的機會，開拓視野、拉近城鄉之間的知識落差，並協助平地偏遠國小圖書資源的充實，平衡教育資源的差距。此外，透過一系列教師研習課程的舉辦，向下紮根，將科學智能落實在基礎教育之中。每一項活動都是為了創造多元的學習環境，讓國家的幼苗在生動多元有趣的教育中成長。基金會將持續舉辦「天使的微笑」活動，為台灣資源缺乏地區的國小學童知識學習與發展並縮小城鄉之間的知識落差盡一點心力。

董事長的話

旺宏金矽獎自2000年成立以來，在產官學界的支持下，已經邁入了第八屆，今年更一舉成長至200隊，為歷年最高。我很高興看到八年來，金矽獎的參賽隊數逐年成長，逐漸在台灣大專院校產生一些影響力和知名度，尤其是學校教授與學生對於金矽獎的重視與肯定，著實讓我感到欣慰。面對這樣的認同與支持，旺宏金矽獎有更大的責任，要在未來做的更好。

旺宏教育基金會為台灣科技教育的付出，始終沒有間斷。因為我們深知教育是長久大計，需要時間才能深耕、結成果實。人人善盡自己的心力，企業善盡社會責任，必然能夠漸漸匯集成一股力量，逐漸對社會產生潛移默化的效果。擁有理念，不是難事，但堅持，卻是不容易的。一路走來，不論是在旺宏電子或是旺宏教育基金會，我們始終堅持方向。在此我也勉勵同學們，從競爭激烈的作品中脫穎而出，除了你們本身優秀的能力之外，在未來邁向成功之路時，更要不畏艱難，堅持自己想走的路。

旺宏電子除了在內部鼓勵創新之外，也將重視創意的理念，藉由基金會傳達給青年學子們。台灣社會需要創意，因為源源不絕的創意是社會前進的動力。近年，我們看到台灣的創意作品與設計逐漸在國際舞台發光，不論是時尚產業、文化創意產業或是科技產業，我相信台灣在創意產業的潛能是非常值得開發的。旺宏將繼續鼓勵創意的萌芽，讓金矽獎成為創意競技的最佳舞台，也勉勵同學們將想法付諸實現，讓自己的創意發光。

旺宏電子 暨 旺宏教育基金會董事長

吳敏求

頒獎人的話

第八年擔任旺宏金矽獎的頒獎人，每年，在這個時候，我都有機會與台灣未來的科技人才，分享自己的一些觀點與看法。

能夠從眾多的參賽隊伍中脫穎而出，進入到旺宏金矽獎最後決賽的同學們，我相信你們在學科領域的專業知識方面，必定有相當程度的瞭解。在這裡我想要和你們分享的是，把學問做好的基本紮實功夫。

學問不應僅限於本身專門領域，而是應該廣泛的涉獵各領域的知識，才能從不同的角度看問題。而平常所要做的基本功，就在於閱讀習慣的養成。閱讀非流水的閱讀，而是要有系統的運用智慧內化為自己的知識，成為生命的一部分，才是有用的。並且要隨時保持批判的精神，養成質疑、思考的習慣。以閱讀力為學問的基礎，才能達到具備關懷力、跨國力、探索力、夢想力的能量。

台灣常見是由升學帶動教育，很多觀念認為考試科目以外的閱讀對升學無用，所以不閱讀，這是忽略了閱讀伴隨而來的思想與創意。讀書不應為了功利，而是為了滿足好奇心與求知慾。我生長在二次大戰期間的混亂社會，從小五開始，就急著透過閱讀探索世界的變動，到了高中時期則開始熱切的大量閱讀吸取別人的經驗，以尋求各項事務的解答。現在的同學們還會抱怨沒有時間看書。然而，就是因為時間有限，才更應把握時間讀書，隨時隨地都可以讀書，並且要讀好的書，讀有用的書，讓讀書成為興趣。養成閱讀習慣，你將發現一生受用無窮。

此外，我也勉勵各位要從世界的轉變來看人類的未來，現今全人類所共同面臨到的嚴重問題是環境的污染與能源的短缺，利用你們在科技方面的長才，讓科技的發展建構於善用地球資源，推動再生能源開發、建立社會物質循環使用等等。不僅只顧慮自己國家的發展，更要超越國界，學會攜手合作，將更多的心力用於「全人類的競爭力」上，使人類能在地球上永續發展。

中央研究院榮譽院長

李遠哲

旺宏金矽獎 緣起

有鑑於國內高科技產業創新研發的重要與高科技人才養成之不易，也為了鼓勵台灣大學院校學生於半導體領域的研發創作精神和實作經驗，並促進產業與學術的良性交流互動，旺宏電子及財團法人旺宏教育基金會於2000年舉辦第一屆「旺宏金矽獎－半導體設計及應用大賽」。歷年來，「旺宏金矽獎」持續獲得各大專院校教授及學生的熱烈迴響，並在產官學界的支持下，已於今年邁入第八屆。八年來，共有一千零三十二隊，約計三千九百名師生曾用心投入這項競賽中。每屆參賽同學均可說是該學校系所的優秀學生和傑出代表，他們將「旺宏金矽獎」視為畢業前的學習指標，與全國好手一較高下，以評量自己所學！

2000年，舉辦第一屆「旺宏金矽獎－半導體設計與應用大賽」，獲得全國電子電機相關系所的熱烈迴響，設計組及應用組共有58隊參加。

2001年，第二屆「旺宏金矽獎」，由旺宏電子結合旺宏教育基金會資源，鼓舞更多參賽隊伍發揮實力，共有140隊報名參賽，競爭之激烈讓人印象深刻。

2002年，第三屆「旺宏金矽獎」參賽隊伍處處是高手，除了有優秀的學長帶領學弟妹參賽之外，還有前兩屆金矽獎的獲獎同學再接再厲，更有許多在全國相關競賽中表現傑出的同學，在這場比賽中決一高下。參賽隊伍共計102隊。

2003年，第四屆「旺宏金矽獎」在經歷過前三屆的高手對決、激烈競爭後，參賽作品的「質」大幅提昇，比賽更加精彩。全國共有26所大學院校電機、電子系所組成95支隊伍參賽。

2004年，第五屆「旺宏金矽獎」共有設計組56隊及應用組30隊，合計86支參賽隊伍，全力角逐總獎金379萬以及一年一度的榮耀。

2005年，第六屆「旺宏金矽獎」在各界的支持下，廣受認同，共有162支隊伍報名參賽，設計組76隊，應用組86隊，競爭非常激烈。並於該年度敦聘崑山科技大學校長蘇炎坤先生擔任召集人，規劃「金矽獎」未來的發展。

2006年，第七屆「旺宏金矽獎」，全國共有31所學校組成189支隊伍報名參賽。為讓更多的參賽隊伍能分享這份榮耀，我們特別新增了銅牌獎，並將優勝獎隊伍數增加至二十隊。

2007年，第八屆「旺宏金矽獎」，再次創新報名紀錄，達到200隊參賽的里程碑，全國共有765名師生共同參與。在歷經初賽、決賽的龍爭虎鬥之後，勝出作品之優秀程度可以想見，頒獎典禮中即將揭曉成績。讓我們一起拭目以待！

新手獎

強調高品質、高獎金的「旺宏金矽獎」，由於研究所同學組隊踴躍競爭十分激烈，曾經一度讓大學生卻步，旺宏電子特別從第三屆起於「旺宏金矽獎」應用組增設「新手獎」，獎金20萬元以及獎座，希望能鼓勵一般大學和科技大學的同學來一較長短，讓比賽更多元化。

獎座設計

「旺宏金矽獎」最特別的是，強調參賽隊伍不斷創新，獎座設計也是年年突破，每年由基金會邀請不同藝術家，從「創意」出發，運用不同材質製作出當屆的獎座，旺宏期待藉由科技創新與藝術創作的完美結合，讓參賽者體會主辦單位的用心與努力，以及重視這個獎項的心意，而更能全力以赴。

金矽獎獎座 設計

綻放．希望

設計理念：

「綻放．希望」的獎座設計靈感是來自於有機的形體。作者藉由發芽的種子造形來表現生命的初始與延續，並象徵活力、盼望與破繭而出的喜悅。種子發芽的生長意象，除了具有生命力與希望的意涵外，同時具有傳承與開創新局的象徵意義。獎座的表面處理則是以石材粗礦中帶有細緻的紋理作為肌理，而色彩則選擇以黑、綠、赭棕等顏色為主，結合肌理與色彩更讓抽象造形的獎座增添自然與人文的氣息。

廖瑞章

獲獎

澳洲西門子Siemens藝術創作獎學金首獎
澳洲西門子Siemens年度典藏獎
美國國家陶瓷教育協會NCECA 新銳獎
台北縣立陶瓷博物館戶外景觀雕塑製作
第四屆邱和成文教基金會金陶獎銅獎

典藏

國立台灣美術館
泰國國家美術館
馬來西亞國家美術館
澳洲西門子文教基金會典藏
台北縣立文化中心
逢甲大學藝術中心
鶯歌陶瓷博物館
邱和成文教基金會

競賽辦法

報名資格

- 台灣地區大學院校全職在學學生(含研究所)，大學部及研究所不分組，可混合組隊(在職進修學生及教師不受理報名)。
- 為鼓勵大學生踴躍組隊參加，應用組部分增設大學隊伍「新手獎」，限定由全部為大學生組成的隊伍方可角逐本獎項。
- 每隊參賽學生以一至四人為限，每人最多可報名2隊，不限組別。
- 每隊指導老師一人，每位指導老師可指導隊伍不限。

參賽題目

- 設計組—不定題。
- 應用組—可攜式電子產品，運用現有IC或自行開發IC製成可展示之成品。

活動時程

- 報名時間：2007.11.01.(三)至2007.12.25.(一)，一律採網站報名www.mxeduc.org.tw。
- 作品企劃書繳件時間：2008.03.25(二)至2008.04.07(一)，繳交15,000至20,000字之作品企劃書。
- 初賽：評審依參賽隊伍之作品企劃書評分，參賽者不需到場。入圍決賽名單於2008.5.20(二)10:30 a.m.公告於旺宏教育基金會網站並以e-mail通知各入圍隊伍。
- 決賽：2008.6.15(日)入圍隊伍進行簡報及口試，地點：旺宏電子總部—旺宏學苑。
- 頒獎典禮及成績揭曉：2008年7月25日，地點：台北遠東國際大飯店/3F宴會廳。

競賽規則

- 規定所有參賽隊伍於作品企劃書及決賽報告時，所有書面資料、簡報檔案、作品及口頭報告、服裝，均不得使用學校LOGO或提及學校系所、教授姓名，違者扣分處理。

各階段參賽辦法說明

1. 報名

- 時間：2007.11.01.(三)至2007.12.25.(一)，一律採網站報名www.mxeduc.org.tw。
- 說明：
  - a. 請於報名網站詳細並正確填寫報名表資料，包括：報名參賽組別、類別、隊伍名稱、作品中英文名稱、指導老師、團隊成員(隊長、隊員)、學校及系所名稱、聯絡資料、作品摘要1,000字以上(創作動機、系統簡介、預期成果)。
  - b. 報名完成送件後，系統將自動回覆報名成功訊息、參賽編號、密碼至參賽者E-mail信箱，若於24小時後未收到確認訊息，請於週一至週五09:00~17:00洽金矽獎小組確認。
  - c. 於2007.12.25.(一)報名截止前，各組可憑參賽編號及密碼更新報名資料。報名截止後至2008.4.7(一)作品企劃書繳件截止前，各組可更改一次題目、隊長、隊員，請一律至金矽獎網站「聯絡我們」通知主辦單位。作品企劃書繳件截止後，恕不接受上述資料更動。

2. 作品企劃書繳交：

- 時間：2008.03.25(二)至2008.04.07(一)。
- 說明：
  - a. 作品企劃書：以15,000至20,000字為限，請以A4規格、12級字、1.5倍行高並以PDF(Adobe Reader 7.0)格式儲存。企劃書內容及封面請參考金矽獎網站「企劃書繳件須知」。(註明：參賽編號、參賽組別、隊伍名稱、作品題目、隊長及隊員姓名)。
  - b. 附錄資料：頁數不限，凡可呈現參賽作品之文字、影片、圖檔、聲音等資料皆可作為附件資料，由參賽隊伍自行斟酌。(影音資料格式建議為PowerPoint、JPG、TIF、BMP或Windows Media Player及Power DVD可播放影音短片)。
  - c. 資料繳交：

    設計組：請於繳件期間，憑參賽編號及密碼，將作品企劃書及附錄資料(可上傳3個)，上傳至金矽獎網站(各檔案大小，不得超過5MB，2008.04.07(一)前可憑帳號、密碼登錄網站修改)。

    應用組：請於繳件期間，將作品企劃書及附錄資料以光碟片儲存一式兩份，掛號郵寄至300新竹市力行路16號／旺宏教育基金會／金矽獎小組收(以郵戳為憑)。

3.初賽：

- 說明：
  - a. 初賽者不需親自到場，評審依參賽隊伍之作品企劃書評分。

b. 由評審共同討論提名，設計組及應用組各選出10隊優勝獎及8隊入圍決賽，並於2008.5.20(二)10:30 a.m.公告於旺宏教育基金會網站並以e-mail通知各入圍隊伍。

- 所有完成初賽隊伍，主辦單位將於活動結束後寄發參賽證明。

4.決賽：

- 時間：2008.06.15(日)
- 說明：

a. 設計組以簡報及口試方式進行，每組共計30分鐘，20分鐘簡報、10分鐘評審提問；應用組以簡報、作品實物操作及口試方式進行，請將作品攜帶至現場，實際操作給評審參考。每組共計40分鐘，20分鐘簡報、10分鐘作品實物操作展示、10分鐘評審提問。參賽隊伍請使用Office Power Point製作簡報檔案，並另存成Power Point 97-2003簡報格式。檔案資數請控制在20分鐘內可說明完成。

b. 決賽時，敬請全組組員共同參與，將於決賽當日拍攝各組團體照，以做為製作大會手冊之用。指導老師可自由參加，但不得參加口頭簡報。

c. 決賽成績將於比賽完成後密封，並於頒獎典禮時公佈。

d. 車馬費補助：主辦單位將補助各決賽隊伍部分車馬費。

e. 繳交文件：依主辦單位寄發之入圍決賽通知說明。

評審方式

- 初賽：

邀請產官學界專業人士組成初賽評審委員及線上評審(擔任參賽指導老師除外)，依照報名時的分類由各類別評審先進行線上評分，再由初賽評審委員共同討論提名。設計組及應用組各選出10隊優勝獎及8隊入圍決賽。

- 決賽：

邀請產官學界專業人士共同評選(擔任入圍參賽指導老師除外)，決賽成績將於比賽完成後密封，並於頒獎典禮時公佈。

- 評分標準：

a. 設計組：創意35分、設計內容及品質25分、難易度25分、作品報告完整性15分。

b. 應用組：創意30分、作品完整度及可操作度20分、實用性20分、難易度20分、作品報告完整性10分。

獎項與獎金

設計組

評審團鑽石大賞	每隊獎金NT200,000元及每人獎座乙座
評審團金獎	每隊獎金NT150,000元及每人獎座乙座
評審團銀獎	每隊獎金NT100,000元及每人獎座乙座
最佳指導教授獎 (評審團鑽石大賞、金獎、銀獎指導教授)	每人獎金NT100,000元及獎座乙座
評審團銅獎	每隊獎金NT 50,000元及每人獎牌乙面
指導教授獎 (評審團銅獎指導教授)	每人獎金NT 50,000元及獎牌乙面
最佳創意獎	每隊獎金NT 30,000元及每人獎牌乙面
優勝獎(10名)	每隊獎金NT 10,000元及每人獎牌乙面

應用組

評審團鑽石大賞	每隊獎金NT400,000元及每人獎座乙座
評審團金獎	每隊獎金NT300,000元及每人獎座乙座
評審團銀獎	每隊獎金NT200,000元及每人獎座乙座
新手獎(大學生隊伍)	每隊獎金NT200,000元及每人獎座乙座
最佳指導教授獎 (評審團鑽石大賞、金獎、銀獎指導教授)	每人獎金NT100,000元及獎座乙座
評審團銅獎	每隊獎金NT 80,000元及每人獎牌乙面
指導教授獎 (評審團銅獎指導教授)	每人獎金NT 50,000元及獎牌乙面
最佳創意獎	每隊獎金NT 30,000元及每人獎牌乙面
優勝獎(10名)	每隊獎金NT 20,000元及每人獎牌乙面

※ 入圍決賽之作品，選出評審團鑽石大賞、評審團金獎、評審團銀獎各乙隊，其餘為評審團銅獎，依評審意見及作品水準，必要時得增減隊數或從缺。
※ 最佳創意獎為創意部份分數最高者獲得，應用組及設計組各選出乙名。
※ 應用組新手獎，為鼓勵大學生組隊參賽，限定由全部為大學生組成的隊伍方可角逐本獎項。
※ 所有獎項之獎金依國稅局規定扣繳10%之所得稅。

評審團 簡介

評審召集人

蘇炎坤 (左四)	崑山科技大學 校長

初賽評審委員

(由左至右)

張大強	國科會 國家晶片設計中心副組長
莊英宗	國科會 國家晶片設計中心組長
林銘波	台灣科技大學 電子工程系教授
魏慶隆	國科會 國家晶片設計中心主任
邱進峰	國科會 國家晶片設計中心副主任
吳誠文	工業技術研究院 系統晶片科技中心
郭耀煌	成功大學 資訊工程學系教授

初賽線上評審

(按姓氏筆劃順序排列)

王晉良	清華大學電機工程學系暨通訊工程研究所 教授
王朝欽	中山大學電機工程學系 教授
朱元華	工業技術研究院系統晶片科技中心 處理器與應用組 組長
江正雄	淡江大學電機工程學系 教授
吳宗憲	成功大學資訊工程學系教授
吳建明	國家晶片系統設計中心 副組長
吳晉賢	台灣科技大學電子工程系 助理教授
周世傑	交通大學電子工程學系 教授兼任系主任
杭學鳴	台北科技大學電資學院 院長
林棋勝	國家晶片系統設計中心 技術課長
林敬舜	台灣科技大學電子工程系 助理教授
邱煥凱	中央大學電機工程學系 副教授
洪浩喬	交通大學電機與控制工程學系 助理教授
洪盟峰	樹德科技大學資訊工程系 副教授
馬金溝	工業技術研究院系統晶片科技中心 副主任
張孟凡	清華大學電機工程學系 助理教授
莊智清	成功大學電機工程學系 教授
許新添	台灣科技大學電機工程系 教授
郭建男	交通大學電子工程學系 教授
陳文藻	工業技術研究院系統晶片科技中心 混頻系統積體電路設計與應用部經理
陳永昌	清華大學電機工程學系 教授
陳竹一	中央大學電機工程學系 副教授
陳怡然	台灣大學電子工程學研究所 助理教授
陳培殷	成功大學資訊工程學系 副教授
曾繁根	清華大學工程與系統科學系 教授
黃仲陵	清華大學電機工程學系 教授
黃俊銘	國家晶片系統設計中心 組長
黃柏鈞	清華大學電機工程學系 副教授
黃稚存	清華大學資訊工程學系 助理教授
黃穎聰	中興大學電機工程學系 副教授
楊家輝	成功大學電腦與通信工程研究所 所長/教授
蔡超人	台灣科技大學電機工程系 副教授
鄭國興	中央大學電機工程學系 教授
賴永康	中興大學電機工程學系 副教授
薛木添	中央大學電機工程學系 助理教授
魏學文	暨南國際大學電機工程學系 教授 兼計網中心 主任
嚴茂旭	台灣海洋大學資訊工程學系 副教授
蘇慶龍	工業技術研究院系統晶片科技中心 處理器與應用組技術副組長
蘇賜麟	成功大學電機工程學系 教授

決賽評審

設計組
(由左至右)

蔡清池	中興大學 資訊工程學系教授
朱元華	工業技術研究院 系統晶片科技中心 / 處理器與應用組組長
王明宗	宏陽科技股份有限公司 總經理
徐爵民	清華大學 電機資訊學院院長
黃興燦	中央大學 資訊工程學系教授
鄧啓福	交通大學 電機工程學系榮譽教授

應用組
(由左至右)

蘇炎坤	崑山科技大學 校長
林敏雄	亞太優勢微系統(股)公司 榮譽董事長
李鴻裕	智易科技股份有限公司 總經理
陳文村	清華大學 校長
俞貴馨	經濟部 產業價值創造推動辦公室主任
陳福川	交通大學 電機與控制工程學系教授

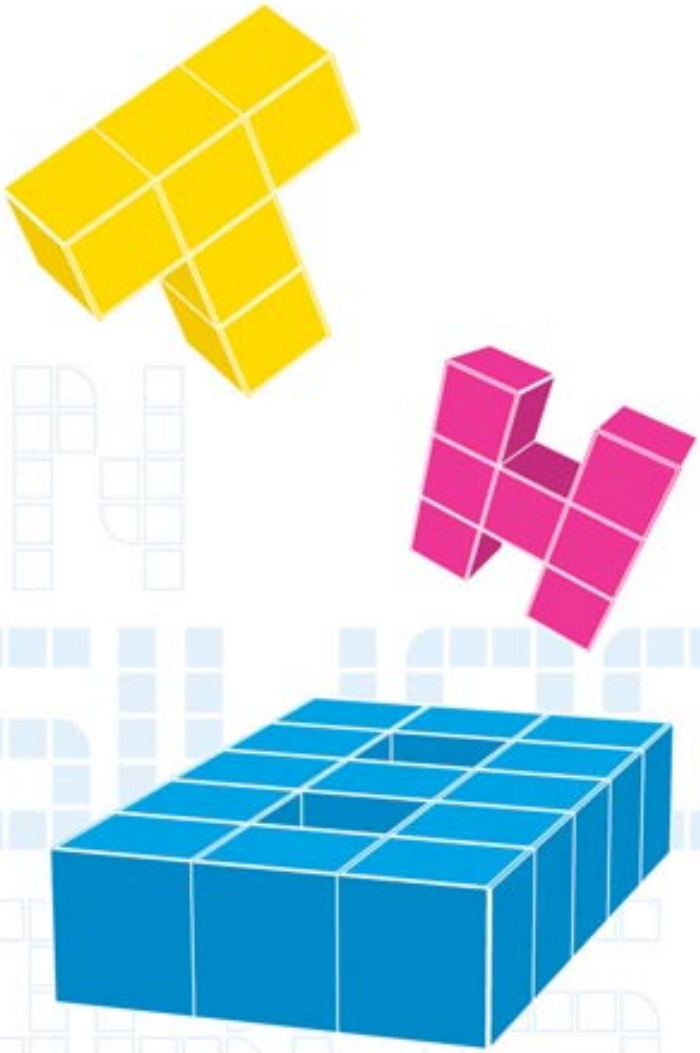
評審團大獎作品介紹

設計組

D8-002 挖一定要成功
D8-010 吞了就對
D8-017 積體電路系統整合
D8-054 令人吃驚的一隊
D8-061 宅宅的逆襲
D8-073 智慧動力
D8-075 媽,我今晚要睡實驗室
D8-084 大力夯隊!!!

應用組

A8-005 蜻蜓
A8-008 光之魔法使
A8-019 超級搬運工
A8-025 念力操控機械世界
A8-039 山中歲月
A8-095 資訊獵人



DESIGN GROUP 08-002

作品名稱

iVisual：由每秒2790張畫面之CMOS影像感測器與每瓦特每秒2050億次運算之視覺處理器組成的智慧視訊系統單晶片

iVisual: An Intelligent Visual Sensor SoC with 2790fps CMOS Image Sensor and 205GOPS/W Vision Processor

隊伍名稱

挖一定要成功 wa must succeed

隊　　長

程之奇 台灣大學電子工程學研究所

隊　　員

林家華、李宗德、許安嘉 台灣大學電子工程學研究所

作品摘要

視訊感測器搭配上智慧視訊處理技術在諸如監視系統、健康照護、智慧車輛控制、以及智慧人機介面等應用上可以說是不可或缺的技術。

由於智慧視訊處理技術需消耗大量運算量且如此重要，因此目前也有許多硬體針對智慧視訊處理所需的各種運算進行設計。目前最被看好的設計可分為兩類：與視訊感測器結合的類比處理器和高度平行化的視覺處理器。與視訊感測器結合的類比處理器主要的好處是直接與視訊感測器整合可以大幅減低所需的成本。然而，由於類比信號處理會帶來精確度流失的問題，因此無法處理較為複雜的演算法。且目前的類比信號處理器均欠缺智慧視訊處理所不可或缺的高度設計彈性：目前設計彈性最高的"vision chip"大都也僅限於處理可平行化之規律運算。高度平行化的視覺處理器目前發展到的架構是運用一個SIMD架構之處理器陣列處理可平行化的運算，另外一個獨立的處理器處理其他的運算，可以說是比類比訊號處理更好的解決方案。在這種架構之下，只要增加processing element (PE)的數目就可以達到相當高的高峰處理速度。然而，處理器陣列平行使用主記憶體會造成相當大的功率消耗，而過大的功率消耗在需要廣為散佈的視訊感測器中是不被允許的。另外，我們發現處理器陣列處理的平行資料在轉換成獨立處理器處理可處理的單筆資料時，整個系統需要停止，造成了處理速度的瓶頸。因此實際處理速度並無法隨著PE數目的增加而線性的增加。另外一個很重要的議題就是隱私權的問題。這也是要在人生活環境廣佈感測器最需要克服的問題。在以上的多晶片解決方案中，只需探測感測器與處理器間或是處理器與記憶體間的資料就可以很輕易地取得拍攝到的視訊資料，這也造成了隱私權的問題。

我們提出了iVisual這顆晶片，他有三個最主要的特點：(1) 單晶片整合每秒鐘可以偵測2790張畫面的高速視訊感測器、每秒鐘可以處理高達768億次運算的視覺處理器與1Mb的畫面記憶體。晶片的輸入是光，輸出就是智慧視訊處理判斷後的結果。完全避免資料從晶片中流失，可以解決使用者對隱私權的疑慮。就我們所知，這也是世界上整合度最高的一個視訊分析解決方案。(2) 我們新提出的視覺處理器架構(包含特徵處理器以及多處理器協調機制)可以解決現有架構內處理速度的瓶頸問題，進一步提昇51%的處理速度。(3) 我們新提出的特徵處理器、PE cache架構與自動關閉時脈的機制使得iVisual在量測數據上功率使用效率(GOPS/W)是目前視覺處理器的五倍以上。而我們提出的特徵處理器、畫面管線化架構以及可動態調整之記憶體配置機制使iVisual的面積使用效率(GOPS/mm^2)為目前視覺處理器的2.7倍以上。

指導教授

陳良基 老師 台灣大學電子工程學研究所

- 75年取得成功大學電機研究所博士學位，為國內CAD領域第一位本土博士。
- 78年進入台灣大學電機系任教，目前為台大電機系特聘教授。
- 陳教授領導的332實驗室，在研究團隊的共同努力下，擁有多項創新論文及專利，尤其是在「DSP架構設計」與「數位視訊技術」兩個研究領域上已躋身國際學術領先之研究群。
- 陳教授年年獲得國科會研究獎勵及傑出論文獎。
- 三次獲頒國科會傑出研究獎及技轉貢獻獎。
- 並於獲選為IEEE Circuits and System Society之Distinguished Lecturer且獲頒IEEE Fellow。

Abstract

Visual sensors combined with video analysis technology can enhance applications in surveillance, healthcare, intelligent vehicle control, human-machine, interface, and so on.

Due to the importance and the high computational complexity of video analysis algorithms, hardware solutions exist for video analysis. Analog on-sensor processing solutions feature the integration of image sensor and a 2-D parallel per-pixel processor array. However, the precision loss issues of analog signal processing prevent those solutions from realizing complex algorithms. These solutions also lack flexibility for they handle only frame-in, frame-out operations. Vision processors provide more feasible solutions for handling complex algorithms. In those processors, a SIMD processor array is designed for parallel data in, parallel data out operations, and another separate processor, we call it decision processor, is designed for other operations. High GOPS numbers are realized by increasing the parallelism of the processor array. However, the dataflow mismatch between the processor array that produces parallel data and the decision processor that consumes scalars induces a throughput bottleneck. Take XETAL-II of ISSCC 2007 for example, the data production rate of processor array can achieve 430Gb/s. However, the data consumption rate of decision processor is only 2.7Gb/s. Furthermore, due to the massively-parallel processor array architecture, the memory access bandwidth in the vision processors is significant, and this leads to a high power consumption.

Privacy invasion is always a critical issue in setting up visual sensors around living spaces because of the danger of revealing video data from image sensors or processors. These issues exist with the above-mentioned solutions because of the inevitability of inputting or outputting video data. The video data can be easily accessed by physical attacks.

iVisual is characterized as follows: (1) High level of integration: iVisual is a light-in, answer-out SoC integrating CMOS image sensor, 76.8GOPS vision processor and 1Mb storage. No video data need to be revealed outside the chip during the video processing. The possible privacy problems are therefore avoided. (2) New vision processor architecture: feature processor eliminates the throughput bottleneck and increases 36% of average throughput. The inter-processor synchronization scheme ensures minimum communication between processors and further increases 23% of throughput. (3) High power/area efficiency: the 205GOPS/W power efficiency isachieved by introducing feature processor, processing element (PE) register file and instruction-level gated clock. The 1.16GOPS/mm^2 area efficiency is achieved by introducing feature processor, bitplane memory structure and reconfigurable storage allocation.

DESIGN GROUP 08-010

作品名稱

以CMOS 0.18微米製程實現400 MHz植入式醫療通訊系統之數位校正超再生接收機

A 400-MHz Super-Regenerative Receiver with Digital Calibration for MICS Applications in 0.18-μm CMOS Process

隊伍名稱

吞了就對 Swallow!!

隊　　長

董景仁 台灣大學電子工程學研究所

隊　　員

劉慧賢 台灣大學電子工程學研究所

作品摘要

現今老年化人口驅使先進醫療儀器的需求，例如使用無線植入式裝置監控及收集病人健康資訊。新的低功率射頻技術正推進創新的醫療儀器能以無線方式傳送病人資訊。

以往這種體內的通訊裝置多是利用電感式的磁場耦合來提供無線連結，通常操作頻率約為數十到數百kHz。其主要的優點是具有穩定的傳輸品質，但最大的缺點是傳輸量只有約1~30 kbps，且外部儀器必須直接接觸病患皮膚，傳輸距離較短。為了克服以上傳輸量及傳輸距離的限制，新的超低功率主動式無線傳輸技術目前正在發展，利用更高的操作頻率，如最近才制定的植入式醫療通訊MICS (Medical Implant Communications Service，從402 MHz到405 MHz)頻段，提供更高的傳輸量，此外利用主動式的無線通訊裝置可以提供更長的傳輸距離(約> 2公尺)。

此創作主要在於應用於植入式醫療通訊的接收器，此接收器必須操作在MICS頻段，並具有消耗功率低，且滿足所需接收的data rate。其採用超再生接收器，具有低雜訊放大器(LNA)、Balun、數位控制震盪器(Digitally-controlled oscillator)、包絡偵測器(Envelope detector)、解調器(Demodulator)。並加入三個數位校正電路分別為Q-enhancement loop、Frequency calibration、以及Pulse-width adjustment loop。Q-enhancement loop(QL)在於增加震盪器的quality factor，使得接收器有較佳的selectivity。Frequency calibration(FC)校正震盪器頻率至MICS頻帶。Pulse-width adjustment loop (PAL)則調整quench signal使得解調器能正確解調OOK訊號。對於super-regenerative receiver需要的quench訊號，可藉由Q-enhancement loop以及Pulse-width adjustment loop來達成，而不需要外部訊號源提供，藉此減少外部元件。傳統上，鎖相迴路能鎖定頻率，卻需要較長鎖定時間造成接收器校正時間較長。在這個創作中，採用開迴路數位電路，frequency calibration，以減少校正時間。

指導教授

林宗賢 老師 台灣大學電子工程學研究所

- 林宗賢教授於1991年畢業於國立交通大學電子工程學系。
- 於2001年在美國加州大學洛杉磯分校電機工程系取得博士學位，受教於W. J. Kaiser教授。
- 從2000年3月到2004年2月間，林宗賢教授在美國Broadcom Corporation 擔任射頻/類比/混合訊號積體電路的設計工作，並參與應用於IEEE 802.11 a/b/g 及藍芽的收發器研發。
- 林宗賢教授於2004年2月加入國立台灣大學電機工程學系，現職為副教授，研究興趣主要為通訊電路及傳感介面電路設計，並於2008年獲得國立台灣大學96學年度教學優良獎。

Abstract

Today's aging population is driving the demand for more-advanced healthcare devices, such as wireless implant devices that can monitor and collect a patient's health information. New low-power radio-frequency (RF) technologies are helping the development of innovative medical tools which are capable of wirelessly transmitting patient health data.

Conventionally, low-frequency inductive links are the prevalent method of communication with data rates of 1-30 kbps. However, inductive links usually need an external programmer to contact the skin of the patient over the implanted devices. In order to overcome the limitation of inductive links, such as short range and low data rate, medical implant communications service (MICS) band allocated in 402 MHz to 405 MHz are recently adopted. The allocation of this band supports the use of longer-range and high-speed wireless links.

In this work, a receiver for the medical implant application is designed. It is operated in the MICS band, consumes lower power, and meets the requirement of the data rate. The proposed architecture of the super-regenerative receiver, is composed of a low-noise amplifier (LNA), a balun, a digitally-controlled oscillator (DCO), an envelope detector, a demodulator, and three calibration loops. Three calibration loops (Q-enhancement loop, frequency calibration, and pulse-width adjustment loop) are added to facilitate the function of the super-regenerative receiver. Q-enhancement loop improves the quality factor of the DCO to acquire a better selectivity. Frequency calibration adjusts the DCO frequency to the MICS band. Pulse-width adjustment loop adjusts the quench signal to help the demodulator demodulate the on-off keying signal. With the Q-enhancement loop and the pulse-width adjustment loop, the quench current can be generated inside the chip instead of the off-chip quench signal, and the number of the external components is reduced. Conventionally, a phase-locked loop is employed to acquire the initial frequency locking, but the PLL closed-loop settling time will prolong the turn-on time of the RX. In this work, an open-loop digital circuit, frequency calibration, is proposed to reduce the turn-on time.

DESIGN GROUP 08-017

作品名稱

10Gbps晶片微型網路之交換器設計與應用

10 Gbps Micro Switch for Network on-Chip Design and Application

隊伍名稱

積體電路系統整合

High Technology System-on-Chip Consolidation

隊　　長

林亮毅 雲林科技大學電子工程研究所

隊　　員

趙偉翔、陳鍠元、羅文宏 雲林科技大學電子工程研究所

作品摘要

在VLSI領域裡，自製程技術從0.18微米，一直進步到0.90、0.65微米，單一晶片裡所能夠擺入的電晶體越來越多，系統單晶片SoC (System on Chip)的設計方式也因此被提出。而隨著晶片內的矽智產(Silicon Intellectual Property: IP)越來越多，各個IP之間的溝通也越來越頻繁，對於匯流排頻寬的需求也一天一天增加，因此像AMBA之類的傳統單一共享式匯流排所能夠提供的頻寬，已漸漸不敷使用。

由於晶片內部之各個IP運作時脈都不一定相同，如果使用單一共享式匯流排則不易整合各個IP，而晶片網路的設計方式由於有局部同步全域不同步(GALS, Globally Asynchronous Locally Synchronous)之特性，所以更易於整合各個運作於不同時脈的IP。因此我們提出一個可以應用於晶片網路環境中的高效能微型交換器，以取代現行使用之單一共享式匯流排架構。

交錯型交換器(crossbar switch)在晶片微網路中扮演著資料傳輸的媒介，同時也是決定整個傳輸效能的關鍵元件。其中，交錯電路架構(crossbar architecture)為交換器的核心部分，也掌控整個網路產能(throughput)。因此，必需具有一個高效能且低成本的交錯電路架構，以提供高速的晶片網路傳輸。在傳統的大型網路交換器的演進從輸出埠緩衝佇列(Output Queue)、輸入埠緩衝佇列(Input Queue)、結合輸入埠與輸出埠緩衝佇列(Combined Input and Output Queue)和結合輸入埠與交叉緩衝佇列(Combined Input and Cross-point Queue)到現在，我們提出了一個新型的交錯型架構，稱為多通道交叉點緩衝器佇列結構(multi-channel cross-point buffer queue)，以改善傳輸效能。每一筆資料可以直接被送到對應的交叉點緩衝器中，並且透過公平仲裁電路將資料循序由輸出埠送出。本交錯型交換器也可應用於不同的服務品質(quality of service, QoS)傳輸的機制，分配適當的頻寬以提升整體傳輸效能。

作品創新性的呈現 (a) 提出微型網路資料封包格式 (b) 提出low-cost and high-speed的微型交換器 (c) 提出微型網路介面電路設計 (d) 提出MCCQ微型交換器 (e) 提出公平式分散排序控制方法與電路 作品完整性的呈現: (a) 完成5-port MCCQ微型交換器之交換效能分析與驗證 (b) 完成高效能10Gbps交換器之FPGA晶片設計與驗證 (c) 完成 cross-point based交換電路之全客戶式晶片設計與驗證 (d) 完成 multiplexer based 交換電路之半客戶式晶片設計與驗證 (e) 完成多重影像快速傳輸之微型網路(twin star topology)應用(f) 完成微型交換器與ARM處理器整合之SoC晶片設計與驗證。

指導教授

許明華 老師 雲林科技大學電子工程研究所

- 國立成功大學電機博士 1989/09至1993/04。
- 逢甲大學電子系專任副教授 1993 / 08 至1994 / 07。
- 國立雲林技術學院電子系專任副教授 1994 / 08 至1997 / 07。
- 國立雲林科技大學電子系專任副教授 1997 / 08 至2004 / 01。
- 逢甲大學電機研究所兼任副教授 1999 / 08 至2002 / 07。
- 國立中興大學電機系短期訪問學者 2008。
- 國家晶片實現中心(CIC)諮議委員 2006~2008。
- 教育部顧問室"PAL聯盟規劃"召集人 2006~2007。
- 教育部顧問室"Layout & Prototyping設計聯盟規劃"執行秘書 2002~2005。
- 行政院勞委會價表電子技術士技能檢定監評委員 1996~2007。
- "2007系統晶型與電路設計創新應用研討會"大會共同主席。
- 國科會晶片實現中心(CIC)晶片審查委員 1997~2005。

Abstract

In VLSI design field, the fabrication technology is progressing from 180nm, 90nm to 65nm such that a large amount of transistors can be integrated into a single chip and the design methodology of SoC becomes important. As the number of IPs is growth on chip, the communication among IPs is also turning into complex. Thus the bandwidth of the single shared-bus interconnection is not sufficient in many applications.

In general, the IPs are designed with different operating frequency, so they are difficult to be integrated into a single shared-bus. However, the on-chip network design has the property of globally asynchronous and locally synchronous (GALS) which can easily integrate each IP in different clock domain. As a result, we propose a high-efficiency micro-switch to replace single shared bus interconnection.

The crossbar switch is the intermediate of data transfer for on-chip micro-network. Also, it is the key component to determine the overall transmission performance. The crossbar architecture is the core of the switch which handles the network throughput. Therefore, it is necessary to obtain high-performance and low-cost crossbar architecture for offering high-speed on-chip network transmission. The progress of traditional network design uses output queue, input queue, combine input and out queue, and combined input and cross-point queue for data delivery. We propose a novel cross-point architecture, is called multi-channel cross-point buffer queue to improve the transmission efficiency. Each data can be sent into the corresponding cross-point buffer directly, and the fair arbitration circuit is employed to transfer data in turn. The crossbar switch can be applied to different quality of service (QoS) for bandwidth allocation that improves the overall transmission efficiency.

The creative of this work proposed several features is shows as follows. (a) data packet format for micro-network, (b) low-cost and high-speed micro-switch architecture, (c) micro-network interface design, (d) MCCQ micro-switch, (e) fair and distributed sorting control method and circuit design.
The integrity of this work also performs several verifications as follows. (a) complete 5-port MCCQ micro-switch performance and verification, (b) complete high-efficiency 10Gbps switch FPGA design and verification, (c) complete cross-point based crossbar full-custom design and verification, (d) complete multiplexer based crossbar on semi-custom design and verification, (e) complete fast multiple image transmission micro-network design in twin-star topology, (f) complete micro-switch and ARM processor design and verification.

DESIGN GROUP 08-054

作品名稱

一操作於3-10 GHz，14個頻帶並具有突波衰減功能之頻率合成器應用於超寬頻多頻帶正交分頻多工系統

A 3-10 GHz, 14-Band CMOS Frequency Synthesizer with Spurs Reduction for MB-OFDM UWB System

隊伍名稱

令人吃驚的一隊 Amazing team

隊　　長

盧台祐 交通大學電子工程研究所

隊　　員

區威文 交通大學電子工程研究所

作品摘要

隨著高傳輸速率無線通訊的需求，超寬頻系統被開發應用於消費性電子。其可應用於無線USB傳輸或高解析度之影像傳輸。超寬頻系統能夠擁有較高的通道容量，而因此可應用於傳輸數速率需求較高的無線個人區域網路空間。美國聯邦通訊委員會於西元2002年開放3.1-10.6 GHz之頻譜並超過500 MHz之頻帶發射之功率頻譜密度不超過41.25 dBm/MHz。

隨著多頻帶正交分頻多工系統應用於3~10GHz之超寬頻通訊系統，此規格將7GHz頻寬分割成14個528MHz之頻帶並區分為5個團體。為了要使128點正交分頻多工系統操作在高達480Mbps資料傳輸量下，其系統只允許小於9.5ns之載波頻率跳頻時間。這使得收發器晶片中之頻率合成器設計面臨兩大挑戰，一為3~10GHz之超寬頻帶操作且必須提共正交信號輸出，另一項挑戰則為小於9.5 ns之跳頻速度。

為了要符合系統嚴苛之跳頻要求（<9.5 ns），目前的研究皆朝向使用直接頻率合成技巧。然而，目前採用這方式實現之電路架構中，不是需要數個鎖相迴路，就是需要除數難以設計之除頻器，去產生適當之諧波頻率提供給系統做全頻帶之頻率合成。而目前唯一能產生全部14個頻帶之前作，卻需要串接3級之單旁帶混波器於信號路徑中。因此它們將遭遇到頻帶內之諧波失真、諧波拉扯和難以產生正交輸出信號等問題。

本設計與前作相比，我們提出了一操作於3-10 GHz，14個頻帶並具有突波衰減功能之頻率合成器，其架構將基於單一個鎖相迴路之架構。隨著適當的頻率規劃，此架構只需要鎖相迴路之迴授路徑中除2除頻器電路。因此，其可產生較精準之正交相位諧波頻率，以能讓單旁帶混波器能有更好的混頻效能。並且，串接單旁帶混波器之個數也縮減為2級，在全部14個頻帶之情形下。另外，隨著本架構中提出諧波頻率之正交信號校正功能，其鏡像突波能壓抑至40 dBc以下，並且全部14個載波頻率輸出之突波動態範圍表現可超過30 dB。

指導教授

陳巍仁 老師 交通大學電子工程學系

Wei-Zen Chen (M'99–) received the B.S., M.S., and Ph.D. degree in electronics engineering from National Chiao-Tung University, Hsin-Chu, Taiwan, in 1992, 1994, and 1999, respectively. He worked for Industrial Technology Research Institute (ITRI), Hsin-Chu, Tawian on RF integrated circuit design in 1999. From 1999-2002, he was with the department of Electrical Engineering, National Central University, Chung-Li, Tawian. Since 2002, he joined the department of Electronics Engineering, National Chiao-Tung University, where he is currently an Associate Professor. His research interests are integrated circuits and systems for high speed networks and wireless communications. Dr. Chen is a member of Phi-Tau-Phi.

Abstract

THE prospect of wireless data transmission at rates of hundreds of Mbps has ignited the interest of consumer electronics in ultra-wideband (UWB) systems. Examples of possible applications include wireless USB and high-definition video streaming. Ultra-wideband (UWB) achieves a high channel capacity and hence becomes an attractive solution to the ever-increasing data rate demands in the space of wireless personal area networks (WPAN). The FCC regulations released in 2002 establish that UWB devices for communication applications can operate in the unlicensed spectrum of 3.1–10.6 GHz while employing at least 500 MHz of bandwidth (measured at the frequency points where the PSD has decreased by 10 dB) with a PSD of less than 41.25 dBm/MHz.

As proposed by MB-OFDM (multi-band orthogonal frequency division multiplexing) alliance, the spectrum for UWB communication system ranges from 3.1-10.6 GHz, which is divided into 14 bands with each band of 528 MHz and categorized into 5 groups. To meet the stringent frequency hopping time requirement (< 9.5 ns), several frequency synthesizers based on single-side band (SSB) frequency mixing are proposed recently. Nevertheless, these architectures demand multiple phase locked loops or sophisticated dividers to provide adequate sub-harmonics for the full band frequency synthesis. The only one capable of covering 14-band carrier generation in the literature requires 3 stage cascaded SSB mixers in the signal chain. As a consequence, they are susceptible to in-band spurs generation, harmonic pulling, and encounter difficulties in I/Q carrier generation.

In contrast to the prior arts, this paper proposes a 14-band, I/Q phases, CMOS frequency synthesizer based on single phase-locked loop architecture. With adequate frequency planning, only divide-by 2 dividers are needed in the feedback path of the PLL. Thus, more precisely in phase and quadrature phase (I/Q) sub-harmonics can be derived from the divider chain by nature for SSB frequency mixing. On the other hand, the number of mixer stage in cascade is reduced to 2 for full-band carrier generation. With the aid of sub-harmonic I/Q calibration, the image spurs are suppressed below –40 dBc and more than 30 dB spurious free dynamic range is achieved for the full band generation.

DESIGN GROUP 08-061

作品名稱

應用於高畫質數位電視應用之 H.264/MPEG-2雙模式視訊解碼器

A High Performance H.264 / MPEG-2 Dual Mode Video Decoder Chip for High Resolution DTV Applications

隊伍名稱

宅宅的逆襲 Otaku's Counter Attack

隊　　長

楊曜彰 中正大學資訊工程學系研究所

隊　　員

張修誠、簡呈安 中正大學資訊工程學系研究所

陳嘉偉 中正大學電機工程學系研究所

作品摘要

在各項數位家庭的影音產品中，影音解碼晶片扮演著重要的角色，而MPEG2及H.264由於具有強大的壓縮比、低位元傳輸速率、和良好的網路適應性能，因此成為現今影音壓縮處理技術之不可或缺的重要元素。在目前其應用範圍相當的廣闊，包括了數位監視系統、數位相機、數位DV攝錄影機、多媒體影音、數位電視等。目前最熱門的數位電視廣播(DVB)也已經開始運用MPEG2壓縮技術來提供高畫質的數位電視。目前MPEG2還是相當主流的技術之一，而H.264亦已廣泛應用於多種領域之中，由於H.264有更佳的壓縮比，預料H.264將會在即時視訊通信、廣播電視、視訊存儲播放等領域中大量運用。有鑑於此，並在SOC的訴求下，本作品將目前MPEG2 (Main Profile)與H.264 (High Profile) 解碼技術整合成為一顆多功能且運算能力強大的多媒體電視應用解碼晶片，此設計可以廣泛使用於未來HDTV與行動影像應用系統之相關產品中。

本次參賽作品設計主要有四個特色，第一：支援H.264 High Profile視訊解碼功能。H.264為了提供更佳的編碼效能，在Main Profile規範中加入了Field Coding、MBAFF、PAFF、B Slice Coding、CABAC等工具，在High Profile規範中加入了8x8 Transform、Loadable Q-Matrix、4:0:0 Color Format等工具， H.264透過這些複雜的技術獲得更佳的編碼效能，但也大幅度的增加計算複雜度，也增加了晶片實現上的挑戰；為了提升設計完整性，本作品支援了所有上述提及之高複雜度編碼工具。第二：同時支援MPEG-2 Main Profile視訊解碼功能。MPEG-2在Main Profile中加入了Interlace Field Coding，可使其支援到高解析度的數位電視、DVD等各種應用，目前仍是數位電視應用之播放主流標準，增加支援MPEG-2 Main Profile功能可以使得本作品技術之產業應用性大幅提升。第三：支援HD1080 (1920x1088)之高解析度即時視訊解碼，本作品在硬體架構設計上，針對運算複雜的模組進行最佳化，有效地化簡運算量及同時達到降低整體功率消耗的效果，最高工作頻率可達163MHz，同時在150MHz處理頻率下可支援至HD1080i的即時解碼。第四：支援商用OCB介面與驗證，溝通介面支援AMBA AHB 2.0 Interface，包含Slave與Master模組，在Master介面部份可依照不同的需求而使用32/64-bit兩種頻寬，更有效益的支援不同的應用。在驗證方面，包含了驅動韌體以及應用程式，不但可簡化使用上的複雜度，也提高其功能的完整性；同時透過自行開發之自動化錯誤比對平台，通過上百個測試檔，同時也在FPGA環境上進行實體驗證與展示，並以TSMC 0.13um CMOS製程完成晶片後段製作，其硬體架構成本為438.4K gates, 10.9KB SRAM, 晶片面積為4.25mm x 3.55mm。

指導教授

郭峻因 老師 中正大學資訊工程學系暨研究所

郭峻因教授分別於1989年與1993年獲得國立交通大學電子工程學士學位與博士學位，郭教授從事VLSI相關之研究工作已達十五年，研究專長領域包含VLSI架構設計、數位訊號處理、多媒體視訊IP設計與SOC設計等。郭教授現任國立中正大學資訊工程系教授，並兼任SOC研究中心主任。郭教授曾擔任多件NSOC總計畫與NSC微電子學門總計畫主持人，自2003年以來已經完成十件技術移轉案及申請多項專利。郭教授所帶領之研究團隊近年來獲得多次獎勵，包含國科會甲等獎兩次、國科會計畫獎助七次，並獲頒92年旺宏電子青年教授講座、93年中國電機工程學會優秀青年電機工程師獎榮譽、第一屆高嘉吾IC設計競賽最佳指導教授獎、第六屆旺宏金矽獎指導教授獎、91-94年教育部顧問室VLSI設計人才培育先導型計畫服務獎、95年教育部VLSI教改計劃P&L聯盟服務獎、中正大學傑出研究獎及中正大學研究傑出特聘教授等榮譽，同時自從2002年以來也指導學生共獲得二十三項獎項(包含兩項國際IC設計競賽獎項)。郭教授目前已於多媒體系統設計相關領域上發表超過一百一十五篇之國際期刊論文與會議論文，郭教授所指導學生之作品屢獲全國性與國際性IC設計競賽獎項，顯示出其優秀的研究與計畫執行能力。

Abstract

Within the various home media products, MPEG video coding standards have played an important role to realize the goal of real-time video processing. Owning the promising features of high compression ratio, low bit-rate coding, and high adaptation to network protocols, MPEG-2 and H.264 Codec become inevitable key components in different multimedia products, including HDTV, Digital Camera (DC), Digital Video Recorder (DVR), Portable Multimedia Player (PMP), Set-Top-Box (STB), as well as Video Surveillance system, and so on. In addition, the mobile/portable TV applications gather more and more attraction from the consumers to fulfill the feasibility for watching real-time TV programs during their transportation, where MPEG-2 and H.264 have been adopted as the current and future video coding standards.

With this strong demand, we have proposed a dual-mode (H.264 HP/MPEG-2 MP) video decoder for high definition mobile/portable TV applications. There are four specific features in the proposed design. The first one is supporting the H.264 HP decoding tools including picture frame/field coding, MB adaptive frame field (MBAFF) coding, weighted prediction, B slice coding, CABAC decoding, 8x8 transform, 4:0:0 color format, and so on. With these advanced coding tools, the coding efficiency of H.264 HP video could be greatly increased through higher quality and lower bitrates. Of course, this feature also imposes high design challenges in its hardware realization. The second feature is that we support the dual-mode video (H.264 HP/MPEG-2 MP) decoding together for covering the current/future mobile/portable TV applications. The third feature is to support real-time high definition video (HD1080, 1920x1088@30fps) decoding by exploiting hybrid block mode data processing to reduce the memory access bandwidth. In addition, we also reduce the complexity through algorithmic/architectural optimization for achieving low power consumption purpose. The proposed design could achieve maximum 163MHz operating clock frequency under TSMC 0.13um CMOS technology. It could achieve HD1080 real-time video decoding when operated at 150MHz. The fourth feature is to support commercial OCB (AMBA 32/64-bit master I/F and 32-bit slave I/F) for providing high feasibility for SOC integration. In addition to the proposed IP, we also provide the associated firmware library to co-work with the proposed design to decode H.264 HP/MPEG-2 MP video sequences together. After passing hundreds of video test sequences, the proposed design owns high robustness in its functionality. Of course, the proposed design has also passed the IP qualification process, including nLint RTL coding check, code coverage measurement through VN-cover, FPGA prototyping through ARM-based platform. Finally, we have fabricated the proposed design according to TSMC 0.13um 1P8M CMOS technology with the gate-count of 438.4K gates and 10.9KB SRAM at a core size of 4.25mm x 3.55mm.

DESIGN GROUP 08-073

作品名稱

具功因修正之永磁式無刷直流馬達無感測控制整合單晶片

Sensorless VOPFC BLDCM Control IC

隊伍名稱

智慧動力 SmartTech

隊　　長

吳家豪 交通大學電機與控制工程研究所

隊　　員

蔡宗翰、陳煒超、詹茗皓 交通大學電機與控制工程研究所

作品摘要

高效率、高功因、變頻控制已成為近代無刷直流馬達驅動器的發展趨勢，本企劃提出一個最佳解決方案；透過整合無感測演算、磁場導向控制及可變輸出PFC功能，以可程式系統晶片(SoPC)為基礎，發展高效率、高功因無刷直流馬達控制晶片，作為家電產品馬達驅動的最佳解決方案；同時功能模組化的架構，可減少產品設計人員的開發時程。

本晶片系統主要分為三大區塊，第一為無感測轉子位置估測演算法，藉由量測三相電壓及電流推估轉子位置，進行馬達控制，可省去安裝解碼器(Encoder)或是霍爾感測元件(Hall Sensor)的成本。第二為可變輸出PFC，此級架構為升降壓型(Buck-Boost)轉換器，可讓直流端電壓穩定操作在更大的範圍，不會因輸入電壓而受限，同時讓無刷直流馬達的控制策略更具彈性。第三為磁通導向向量控制，藉由微處理器高速運算的能力，成功實現F.Blaschke所提出的控制演算法；透過線性座標轉換後可以將三相無刷直流馬達等效為一個直流馬達(DC Motor)，系統架構更簡單，控制器也更容易設計，提高系統控制準確度及運轉效率。

透過本企劃畫書的理論分析與實驗模擬，驗證此系統單晶片的可行性，藉此開發出高節能，高功因具功因校正之無感測永磁式無刷直流馬達單晶片，作為家電產品中馬達的最佳驅動解決方案。

關鍵詞：白色家電、壓縮機、變頻控制、無刷直流馬達、可變輸出功因修正器、磁通導向控制、電流迴路控制、可程式系統晶片、SoPC、數位控制、無感測估測演算法

指導教授

鄧應嶼 老師 交通大學電機與控制工程研究所

- 1987年獲得交通大學電子研究所博士學位，並隨即任職交通大學電機與控制工程系副教授。
- 1992年擔任控制研究所所長，1997年升任教授，2006年擔任前瞻電力電子中心主任。
- 自1987年任職以來從事多項學術研究與行政工作，致力推廣產學合作之研究，並曾擔任國內多家公司之技術顧問。鄧教授在電力電子領域具有多年之實務經驗與學術研究成果，在數位馬達控制、數位伺服系統、與數位電源控制晶片等研究領域均有傑出之研究成果。近年來主要從事電力電子與類比/數位混和模式控制晶片之整合發展研究，開創我國在電源系統與數位控制晶片設計領域的發展。目前亦致力於電力電子領域的產學合作與經驗傳承，推動成立交通大學前瞻電力電子中心主任，協助業界技術發展與人才培訓。近年研究主題主要包括：數位電源控制晶片之設計、可程式數位電源控制IC 設計、數位式PFC與PWM IC之設計、相機模組聚焦數位伺服控制IC設計、無刷直流馬達Sensorless Control、數位伺服控制晶片設計、永磁同步馬達無感測位置控制技術、太陽光變頻器DSP全數位控制、併網型太陽光變頻器之研製、全數位控制on-line UPS之研製等等。

Abstract

High efficiency, high power factor and variable frequency control have become a trend for dc brushless motor drives. Via integration of sensorless algorithm, field-oriented control and variable output power factor correction (VOPFC) and based on system on a programmable chip (SoPC), we develop a better solution for motor drives in household appliance. At the same time, because of architecture of module functions, the time of developing products for product designer in applications has been reduced.

The system chip has three major sections: first section is about sensorless algorithm for estimating rotor positions. By sensing three phase voltages and three phase currents to estimate the rotor positions avoids the cost of encoders or hall sensors. Second section is about variable output power factor correction (VOPFC) and its architecture is a Buck-Boost converter with the advantage that the dc link voltage can operate in lager area stably ,not limited by the input voltage. In the meanwhile, the control strategy for the dc brushless motor is more flexible. Third section is about field-oriented control. Via high computation speed of microprocessor, we realize F.Blaschke's method through linear coordinate transformation , and then three phase dc brushless motor could be seen as a dc motor. As a result, advantages are simple system architecture ,simple control design, high control accuracy ,and high motor efficiency.

Through theory analyses, experiments and simulations in our program , we prove the potential of implementation of a single system chip and has developed a high efficiency and high power factor correction single chip for a sensorless permanent magnet dc brushless motor as a best solution for motor drives in household appliance.

Keywords :white household appliance ,compressor , variable frequency control, brushless dc motor, variable output power factor corrector, field-oriented control, current loop control, system on a programmable chip digital control, sensorless estimate algorithm

DESIGN GROUP 08-075

作品名稱

支援高解析度1080p的可調式影像編碼器

1080p HD Scalable Video Coding Encoder

隊伍名稱

媽，我今晚要睡實驗室 Can you sleep in Lab tonight

隊　長

莊子德 台灣大學電子工程學研究所博士班

隊　員

陳翊豪 台灣大學電子工程學研究所博士班

作品摘要

創作動機

在近十幾年間，整合了多元內容的多媒體資料傳輸成為當前最熱門的應用之一。而在多媒體資料中，屬視訊媒體的資料量最大，於是以往的編碼技術都著重在壓縮率上面，然而隨著多媒體應用的發展，能提供多元功能性的應用慢慢受到重視，其中以可調式視訊編碼(Scalable Video Coding, SVC)尤為重要。在可調式視訊編碼的應用系統中，服務主機端只需存有一個經由SVC編碼器壓縮後的壓縮位元串流，經過SVC轉碼器(SVC Adapter)可輕易的轉變成不同畫面大小、不同顯示速度以及不同顯示畫質的位元串流，不同的位元串流隨即透過不同的通訊系統傳送到不同需求的使用者手上，如低傳輸頻寬的PDA上，或高傳輸頻寬的家庭劇院。然而這樣一個可以提供多種影像規格的SVC編碼器會需要非常大量的系統頻寬以及運算複雜度，因此我們希望藉此晶片實作的計畫，提出適合高畫質解析度的硬體運算架構，提供使用者最佳的解決方案。

系統簡介

本研究的主要目的在於實現出一個高效能低頻寬的SVC編碼器且能向下相容H.264/AVC High Profile。在SVC的應用系統中，SVC編碼器為了提供不同方面的可調式影像，需要使用相當大量的系統記憶體頻寬。而大量的記憶體頻寬的晶片代表著高耗電量以及難以整合入一個晶片系統(System on Chip, SoC)當中。根據我們的分析，SVC編碼器所需要的頻寬主要來自於兩部分。一是來自於讀取移動運算估計(Motion Estimation)所需要的大量資料，另一部份則是為達到支援可調式畫片品質功能的細部品質可調(Fine Grain Scalability, FGS) 所需的大量不規則記憶體存取。

根據我們對於SVC系統的特性分析，找出適合的低頻寬階層移動運算估計(Hierarchical ME)演算法，並使用適當的平行運算來提升硬體執行效能。此外為了更進一步的降低記憶體頻寬，我們採用了畫面層級資料重新利用(Frame-level Data Reuse)的演算法跟架構，在相同的畫面品質下，大量的降低記憶體頻寬。另外為了解決FGS所需要的大量畫面層級不規則記憶體存取頻寬，我們找出一種特殊前處理掃瞄方式，將之從畫面層級的不規則存取轉換成適合硬體實現的巨集區塊層級的規則存取。此方式除了能避免不規則的記憶體存取之外更能大量降低這一部份的頻寬需求。此外對於H.264/AVC High Profile 以及SVC編碼器所提出的新型編碼工具，我們都有針對其特性設計出適合的硬體架構，並且考慮硬體的使用效率，採用了不同的硬體共用及平行度。

預期成果

我們將會完成高效能低頻寬的SVC編碼器的演算法分析及架構設計，並以硬體描述語言及EDA tools完成晶片設計。預期可及時編碼畫面最大為1080p HD (1920x1080)，每秒30張畫面的可調式視訊影像資料。成果會包含完整的晶片規格（邏輯閘個數、消耗功率、消耗記憶體頻寬等）、支援的可調式功能選項及影像品質等數據。

指導教授

陳良基 老師 台灣大學電子工程學研究所

- 75年取得成功大學電機研究所博士學位，為國內CAD領域第一位本土博士。
- 78年進入台灣大學電機系任教，目前為台大電機系特聘教授。
- 陳教授領導的332實驗室，在研究團隊的共同努力下，擁有多項創新論文及專利。
  尤其是在「DSP架構設計」與「數位視訊技術」兩個研究領域上已躋身國際學術領先之研究群。
- 陳教授年年獲得國科會研究獎勵及超級論文獎。
- 三次獲頒國科會傑出研究獎及技轉貢獻獎。
- 並於獲選為IEEE Circuits and System Society之Distinguished Lecturer且獲頒IEEE Fellow。

Abstract

Motivation:
In the recent decades, the transmission of multi-media data has become the most popular application. Previous video encoding techniques all focused on compression rate. However, the coding standard that can provide variety of functionalities becomes more and more important, especially Scalable Video Coding (SVC). In the SVC application system, the original video is encoded by an SVC encoder as a global bitstream and then can be extracted into several different frame size bitstreams by an adapter. These different extracted bitstreams can be transmitted through different communication systems to serve different end users, for example, through the wireless network to PC or PDA, or through the fiber cable to home theaters. However, such a SVC encoder needs huge external memory bandwidth and computation complexity. Therefore, by implementing this chip, we propose a suitable hardware architecture that can provide the best functionality for the users.

Introduction:
The goal of this research is to implement an SVC encoder with high efficiency and low bandwidth requirement and capable to encode H.264/AVC high profile format bitstream. In order to provide the dimensional encoding scalability, the SVC encoder will need huge external memory bandwidth. Huge memory bandwidth requirement means large power dissipation and hard to integrated into a SoC (system on chip) system. From our analysis and simulation, the bandwidth mainly comes from loading search range data for motion estimation and large irregular memory access for fine grain scalability (FGS).
First, we found a motion estimation algorithm with low bandwidth requirement which suitable for SVC characteristic, and utilized appropriate parallel computing to improve hardware computation performance. To further reduce the memory bandwidth of motion estimation, we adopt the frame-level data reuse algorithm and frame-level encoding scheme to lower memory requirement while maintaining best video quality. Besides, in order to solve the irregular memory access problem form FGS, we propose a novel hardware oriented pre-processing method that can transfer the irregular frame level data access into regular macro-block level access. In this way we can reduce FGS memory bandwidth greatly without irregular memory access. Moreover, for the new coding tools provided by H.264/AVC high profile and SVC, we all have designed suitable hardware architecture with consideration of hardware utilization.

Expected Results:
The expected result is to develop the hardware oriented algorithm and hardware architecture of a high efficiency and low memory requirement SVC encoder chip. Videos of 1920x1080 frame size (1080p HD), 30 frames per second must be able to be encoded in H.264/AVC high profile or SVC format. The result must include detail chip specification, such as logic gate count, power dissipation, memory bandwidth, supported scalable functionalities and visual quality evaluation of video.

DESIGN GROUP

08-084

作品名稱

定頻式主動電流感測技術之磁滯電流控制直流—直流轉換器

Constant-Frequency Hysteresis-Current-Controlled DC-DC Converter with Active-Current-Sensing Techniques

隊伍名稱

大力夯隊!!! Excellent Team

隊　長

林和正 台北科技大學電腦與通訊研究所

隊　員

楊豐誠 台北科技大學電腦與通訊研究所

作品摘要

由於可攜型電子產品的需求與日俱增，在各大廠商的競爭之下，產品體積越做越小，功能越來越強，電池續航力更顯重要。現今應用於電力電子技術的電源轉換理論快速發展，帶動了積體化電源管理電路的研製，不僅能提供功能更強，效率更高的電路，也因為晶片化電源管理電路的實現，使得體積也能夠越來越小。國內積體電路製程，以低電壓互補式金屬氧化物半導體較為成熟，目對於雙載子電晶體而言，互補式金屬氧化物半導體不論在開關切換速度，功率消耗，以及積體化面積上都比雙載子電晶體還要來的優秀。因此，此電路的設計是以國內標準低電壓互補式金屬氧化物半導體製程來實現，將包含功率元件的直流-直流轉換器整合成單一顆晶片。近年來，功率半導體元件技術之快速發展，在直流-直流轉換器上與精巧型功率積體電路為現今電力電子相關產品應用最廣泛的電路之一，電流感測電路是在精巧型功率積體電路中相當重要的一部份，幾乎所有的直流對直流轉換器與線性轉換器都需要利用它，如直流電源供應器、電池充電器……等等，如圖一所示，均是這類積體電路應用的領域。

本文主要利用電流感測技術，全時感測出電感電流，並將參考電壓與輸出電壓在比較器內做比較，產生的電壓經由電壓轉電流電路，轉換成一電流，並透過磁滯電流控制電路將感測電流與此電流做比較，透過磁滯控制所得到的訊號經由非重疊電路以及驅動電路，即可產生出一組可控制開關切換的數位訊號，進而控制整個降壓轉換器的動作。但利用磁滯電流控制的方式有一重大缺點，就是假設我們將頻率改變的時候，後端的LC濾波器參數也必須跟著改變，這樣一來，會使得後端的電感與電容值設計與選用更增加其複雜度。

為了克服磁滯電流控制方式沒有固定頻率的問題，我們利用了鎖相迴路的概念，透過相位頻率檢測器(Phase Frequency Detector：PFD)，電荷幫浦(Charge Pump：CP)，以及低通濾波器(Low Pass Filter：LPF)，並將降壓轉換器(Buck)視為一般鎖相迴路當中的壓控震盪器(Voltage Control Oscillator：VCO)，連接而成。

在相位頻率檢測器(PFD)當中給定一組參考頻率，再從降壓轉換器(Buck)上利用切換開關的輸入訊號拉回相位頻率檢測器(PFD)內當回授訊號，產生出來的數位訊號可以控制電荷幫浦(CP)中的輸出電壓，再透過低通濾波器(LPF)作補償，進而控制整個降壓轉換器(Buck)的切換頻率，使整個系統可以鎖定在固定的頻率。此晶片是以台灣積體電路公司零點三五微米兩層多晶矽四層金屬互補式金屬氧化物半導體製程來實現。在正常工作範圍之下所量測的結果為：最大負載電流800mA；輸入電壓範圍2.5V~5V；輸出電壓範圍0.6V~ (輸入電壓-0.4)V；頻率範圍100KHz~650KHz；最大效率達88%。

關鍵詞：磁滯電流控制，直流對直流轉換器，電流感測，定頻

指導教授

陳建中 老師 台北科技大學電腦與通訊研究所

- 陳建中 1966年在基隆出生。
- 於1992及1995年在國立台灣大學取得電機碩士與博士。
- 並於1994年到2004年在龍華科技大學任教，而從2004年之後，於國立台北科技大學電子工程系任教，擔任副教授一職。
- 其研究領域為混合電路設計以及電源管理晶片設計。

Abstract

Recently, the technique of power devices such as dc-dc converter has been fast developed. Among them, smart power IC is another widely applied circuits. The current-sensing circuit is integral part in smart power ICs and in almost all of dc-dc converters and linear regulators. As shown in figure 1, DC power supply and battery charger are application fields in these circuits. A constant-frequency hysteresis-current-controlled buck converter with active current-sensing techniques is presented in this paper.

■ Figure 1 the application of dc-dc converter

To overcome the hysteresis-current-controlled buck converter with variable frequency, we use the concept of the phase-locked loop. We treat the hysteresis-current- controlled buck converter as the voltage control oscillator through the phase frequency detector, charge pump, and low-pass filter. Then we combine these blocks into a compact system. Hysteresis-current-controlled buck converter provides the reference frequency and the switching frequency to the phase frequency detector, which then could produce the pulse signal to control the output voltage of the charge pump. Finally, we could control the switching frequency of the hysteresis-current-controlled buck converter and set the switching frequency in a desired frequency.

The proposed circuits have been designed with TSMC 0.35μm DPQM CMOS processes. The measurement results show that the buck converter works well with the following features: the maximum load current approximates 800mA; the input voltage range is from 2.5V to 5V; the output voltage range is from 0.6V to Vin - 0.25; the frequency range is from 100KHz to 650KHz; the maximum power efficiency approximates 88%.

Keywords：Hysteresis-current controlled, dc-dc, current sensing, constant frequency

應用組 APPLICATION GROUP

A8-005

作品名稱

CMOS感測器陣列之高速攝影系統

High-Speed Videography System using Multiple CMOS Sensors

隊伍名稱

蜻蜓 Dragonfly

隊　　長

施尚君 台灣科技大學電子工程研究所

隊　　員

蔡昇達、陳首元 台灣科技大學電子工程研究所

作品摘要

高速攝影機雖然能夠為科學研究提供非常有價值的影像資料，但不論是採用CCD還是CMOS的高速感光元件，高速攝影機的價格還是普遍過高，以國外製造每秒可拍1000張的機種來說，其價格就大約要價1萬至10萬美元不等，因此我們希望能夠以多組CMOS感測器搭配SoPC的架構來實作出成本較低的高速攝影系統。

相機陣列式的攝影系統事實上是由美國史丹佛大學的計算機圖形實驗室所發展出來的，稱為「史丹佛相機陣列計畫」。在這個計畫中，他們使用了100台以上的自製CMOS相機，每組相機皆搭配了一個影像資料處理平台，其中包括了中央處理器、MPEG2編碼器、FPGA與IEEE1394等硬體以壓縮並傳送大量的影像資料至PC端，而PC端則是由四台桌上型電腦所組成。

由於上述的史丹佛相機陣列架構太過於龐大，並不適合實際應用，因此我們希望能以SoPC的架構來實作並縮減史丹佛相機陣列，如此一來勢必能讓整個系統的成本更加便宜，此外還能夠將體積大幅縮小以方便攜帶，若未來有機會將此系統產品化，想必會在原本高單價的高速攝影機市場中受到重視。

使用SoPC架構的好處是能夠輕易的將多顆CMOS感測器及各類型的控制器、編碼器等硬體整合至單一的系統平台中，而我們所使用的SoPC開發平台為友晶科技所設計的DE2發展板，其中主要有一顆Altera Cyclone II系列的FPGA晶片，用來整合Altera公司所開發的NIOS2處理器及各類型的控制器及編碼器等。另外在CMOS感測器方面，我們採用的是價格較低廉的Micron MT9M011 CMOS感測器。在軟體平台部分，為了能夠有效率且有架構的開發驅動程式與應用程式，我們決定以Linux系統來建立軟體平台。有了Linux系統所提供的豐富支援，在撰寫驅動程式時，只要遵循Linux核心中特定類型之驅動模型所提供的實作方法，便能將驅動程式的複雜度大大的降低，且在應用程式的開發上，也能有完整的函式庫支援。

由於高速攝影機每秒輸出的資料量相當大，以DE2發展板內建的8MB SDRAM根本不敷使用，因此我們打算利用發展板上的外部I/O接腳來外接了一顆32MB SDRAM。但如此一來，外部I/O接腳將被大量佔用，因此會導致在目前的DE2發展板上，剩餘的I/O接腳數只能再接2組CMOS相機。儘管如此，我們在各種軟硬體的設計上還是會以能夠連接多組CMOS相機作為前提來進行設計，以免架構過於死板而導致未來硬體擴充後軟硬體修改的難度提高。從目前硬體的規格來看，若每組CMOS相機皆能以60 fps的速度進行拍攝，我們所設計的系統將能夠提供120 fps的拍攝速度。

指導教授

許孟超 老師 台灣科技大學電子工程系所

Mon-Chau Shie (S'94 – M'98) was born in NaTou County, Taiwan, R.O.C..
He received the B.S., M.S., and Ph.D. degrees in electrical engineering from National Taiwan University, Taipei, Taiwan, R.O.C., in 1983, 1985, and 2000, respectively.
In fall 1988, he joined the faculty of National Taiwan University of Science and Technology, Taipei, Taiwan, R.O.C., where he is currently an Assistant Professor in the Electronic Engineering Department.
His research interests include computer architecture, embedded system, VLSI, and image compression.

Abstract

High speed video camera can provide useful and valuable image data for scientific research. But the price is the most significant disadvantage of high speed video camera. Hence we attempt to use multiple CMOS sensors and SoPC Architecture to implement a low-cost high speed video system.

Actually, the Stanford Computer Graphic Laboratory have developed "Stanford Multiple Camera Array" architecture and provided a good result in high-speed videography application. In this project, they use more than 100 CMOS cameras and every camera has its own image processing platform which includes CPU, MPEG2 encoder, FPGA and IEEE1394. The platform will transmit data to server which is the combination of four desktops.

However, the scale of the hardware architecture in their design is too large to be implemented as a portable device. Therefore, in order to reduce the architecture, we decided to realize the system with an embedded platform.

We also have developed our algorithm to do image rectification which is not mentioned in the Stanford project but is crucial to the quality of camera array. The proposed algorithms are for the most part of auto-exposure and displacement error rectification, and they are designed not only for the accurate rectifying result, the speed will be another key consideration for rectification.

The advantage of using SoPC architecture is that can easily integrate all controllers and encoders into a single integrated platform. We use DE2 development board designed by Terasic Technologies as our development platform. DE2-board includes an Altera Cyclone II series FPGA chip which is used to integrate all controllers and encoders. We also use low-cost Micron MT9M011 CMOS sensor as our video sensors. In the other hand of software, in order to design drivers and applicants efficiently, we choice uCLinux for NIOS II as our software platform. With the support of uCLinux, we can easily design drivers and applicants by following the rules of Linux driver model and by using the library provided by Linux.

Because the data of High speed video camera are very large, 8MB SDRAM on DE2-board is not enough to use. We connect another 32MB SDRAM to the expansion headers on DE2-board, and thus the remainder pins are just enough to connect 2 CMOS sensors. But our design is not limited to only two cameras. In fact, it can connect multiple CMOS sensors under the consideration of expanding hardware in the future. Now every camera can take 60 frames per second, our design has the capacity of taking 120 frames per second.

應用組 APPLICATION GROUP

A8-008

作品名稱

光之裁決

To be determined by the light

隊伍名稱

光之魔法使 The Magicians of light

隊　　長

廖元功 南台科技大學電機工程系

隊　　員

李明峰 南台科技大學電機工程系

作品摘要

辦公室常有的會議報告，演講或是產品的推銷等，現今幾乎常常利用投影機投影當做媒介。簡報是報告者在有限的時間內將所要表達的內容，清楚而簡潔的傳達給與會者的重要利器。使用簡報軟體搭配投影機做簡報時，演講者最適當的位置並不是筆記型電腦前，而是聽衆可以同時看到演講者和投影出來的視覺輔助材料，而演講者也可以清楚看到所有聽衆的位置。通常在那樣的位置，電腦和滑鼠已經在演講者伸手可及的範圍之外。要引導演講者及與會者之間的契合，雷射筆是基本的配備工具。藉著光點的移動，清楚的引領目前講者所敘述的內容。然而一個好的簡報內容常常是圖文並茂，甚至透過動態圖表、文字，與影像聲音，以更活潑、清楚，容易明白的方式，將講者的意見與思想，傳遞給所有的與會者，以便凝聚所有與會者的注意力，而這需要進一步的使用滑鼠。透過滑鼠的移動、點選，達成所要的目的。然而一般做簡報時如演講者離電腦比較遠的時候，常常需要額外的操作者，如此易造成搭配上的問題。較先進者有採用簡報筆，可由演講者自行操作，如此流程比較順暢。較簡單的簡報筆只有上一頁、下一頁的功能再加上雷射指示功能，更進一步者有加入滑鼠的功能。但簡報筆上的滑鼠功能，因使用習慣不同，並不如預期的效果。

另有採用雷射光點當作滑鼠的游標點來操作者，然而現今的作法是其使用CMOS感測器，經由簡報用電腦解析出滑鼠游標的功能，將佔用系統資源，將使得簡報的流暢性大打折扣。而其透過特殊的雷射筆機構解決Click的問題，將限制其使用的用途。另外其校正相當繁瑣，且遠距離的操控引發手震動而無法進行精確定位的問題更限制該產品的發展。

本研究是以一般的雷射筆的光點作為簡報的指引以及兼做滑鼠功能的使用，整個系統猶如從遠方控制一觸控面板，當初始化後就可使用雷射筆來控制並使用，當演講者將雷射光(Laser Light)投射至布幕時，除了講解自己的報告外，還可控制PowerPoint 的上一頁、下一頁、超連結等... ，因此演講者可打破以往的操控方式，單單使用一支雷射筆就可以完成會議報告。本研究以雷射光點作為滑鼠游標的操作點，是以FPGA做影像分析解出雷射光點座標，以作為滑鼠游標的依據，解析過程中完全不經過電腦，不佔用電腦資源。且以硬體的方式分析將可以在每個Frame解析出一組座標點，效率遠比用軟體分析來得高，因此將可以增加簡報的流暢度。而本研究將利用自然法則解決手震動的問題，使得吾人使用一般的雷射筆功能就可以做到精確的Click、Double Click的功能。另外本研究也將提出自動校正的方法，以達更實用的目的。

指導教授

許毅然 老師 南台科技大學電機工程系

- 現職：南台科技大學電機工程系副教授。
- 學歷：國立成功大學航太所控制組博士。
- 研究領域：人性化智慧型系統、伺服機電控制、遠端監控網路、機電整合、單晶片應用。
- 研究成果：獲得2007德國紐倫堡國際發明展金牌獎，國內外專利三十多項，指導學生參賽獲獎超過50項，其中連續五年入圍旺宏金矽獎決賽，連續七年教育部微電腦比賽獲獎。

Abstract

Projectors are often used in the conditions of the conference meeting, the oral speech, the promoted sales, etc. A briefing report is important thing to be clearly and definitely expressed an idea to listeners by the speaker within a limited time. The best location of the speaker, who utilizes the projector and the software of the PowerPoint, is not near the notebook computer. The better place is at which the listeners can see the speaker and the screen of the projection, and the speaker can also see the whole listeners in the same time. The place is often far away from the computer. The speaker can no longer operate the conventional mouse in hand. A laser point is the fundamental tool to indicate the keynote contents to the listeners. The speaker makes a distinct report to the listeners by moving the place of the luminous laser point. The content of a good briefing report is a multi-media type which includes texts, dynamic graphics, tables, sounds and movies to make the speech more clearly, more richly and more attractively to condense all conferees' attention. The mouse is necessary for the further more functions. These functions can be completed by moving the mouse, selecting the icon, and clicking/double clicking the mouse button. Another extra operator is necessary when the reporter is far from the computer, but it is hard to arrange in pairs. A briefing tool can be used in addition such that the reporter can operate the process by him. There are only functions of page up, page down and laser light point for a simple briefing tool. The mouse function is another choice for the briefing tool, but it is not so popular by the user's customs.

The place of a laser light point is as the cursor of the mouse is another application. A CMOS sensor is used to detect the place of the laser light point, and a image process is made by the briefing's computer. The image process will take up systematic resources of the computer, and then will the briefing will not be smooth. And the above system solves the click function of the mouse through a special structure of the laser light pointer, and the occasions of the briefing tool will be limited. The calibration of the above system is minute and complicated, and it is not able to get precise cursors due to the hand's tremble of the reporter.

This research is concerned with the topics which the place of a laser light point is used as an indicator of current keynote speech and a cursor of mouse function. The system is as remote touch screen. The functions can be reached after calibration. The functions of the PowerPoint software, such as the page up, the page down, and the hyperlinks etc., can be remotely executed when the laser light is put on the screen.

The research is focus on the place of laser light point being as the cursor of the mouse. The coordinate of the laser light spot is analyzed by the hardware of an image based FPGA. The personal computer is not necessary in the image analysis process, and then the resources of the computer are not occupied. The cursor of mouse can be got as rapidly as the image frame rate of the CMOS sensor in the FPGA hardware method. The efficiency of the proposed method is higher than one of the software method. A natural rule will be proposed to solve the problem of the hand's tremble, such that more accurate functions of the click/double click can be reached by a general laser point device. An automatic calibrated method will be also proposed in this research for in practice.

應用組 APPLICATION GROUP

AG-019

作品名稱

同心協力互動機器人

Two robots work together

隊伍名稱

超級搬運工 Super Porter

隊　　長

余建良 中央大學電機工程學系研究所

隊　　員

巫瑞永、黃俊捷 中央大學電機工程學系研究所

作品摘要

單一機器人動作表演已不新鮮，多機器人互動控制更具挑戰性且更有看頭。本作品的目的為設計與控制一對雙足式機器人，完成互動合作的表演，並結合手勢辨識，告知機器人該執行的任務。作品中的兩台機器人，分別命名為Master與Slave，Master機器人的頭部裝有無線攝影機，具備視覺能力；Slave機器人無攝影機，但有裝置紅外線感測器，能量測機器人與物體的距離，兩機器人之間並具有無線通訊的能力。全系統共有兩類處理器，NIOS軟核心處理器負責機器人動作與其他周邊硬體的控制，電腦端負責處理影像資訊，並將處理後的結果以指令的形式回傳給各機器人。

實驗過程中，Master機器人利用無線攝影機擷取欲搬運之物體影像資訊，並辨識目標位置，然後獨力運送物體至指定目標；Slave機器人的身體上貼有不同顏色的色塊，可讓Master機器人辨識其位置，並受其指揮配合共同完成互動動作，包含1.兩機器人互相走近並握手、2.兩機器人接力搬運物體至目的地放下、3.兩機器人合力搬運物體至目的地放下。互動過程中的相對位置判定，除了依賴Master機器人的機器視覺外，還搭配Slave機器人身上的紅外線感測器為輔助，可使兩機器人的定位更為準確。本作品亦結合手勢辨識的功能，不同的動、靜態手勢定義不同的指令，操作者可以利用手勢下達機器人做前進、後退、左右轉、伏地挺身等基本動作及上述之機器人互動動作。在互動過程中，利用影像處理配合紅外線感測器，加上無線通訊，賦予機器人服從命令、自我修正、以及合作搬運的能力，是本作品的主要成就。

指導教授

王文俊 老師 中央大學電機工程學系

- 王文俊教授為中央大學電機系講座教授。
- 目前兼任職於台北科技大學講座教授兼研發長。
- 王教授於1987年獲得交通大學電子研究所博士後，即任職中央大學電機系至今，二十一年來已培育近100位碩士、15位博士。
- 他的專長領域為自動控制、影像處理、機器人等。
- 王教授曾獲得國科會傑出研究獎三次、中國電機工程學會傑出工程教授獎、中央大學傑出研究獎等多個獎項，也曾擔任過中央大學電機系主任、中央大學副研發長，以及國科會控制學門召集人。

Abstract

Nowadays, a single robot doing some basic motions is unexceptional and unentertaining. Multiple robots working together and having interaction will be much more interesting. The goal of this work is to design and control a pair of biped robots such that the two robots can cooperate with each other. Additionally, humans can command the robots to do some motions by certain of hand gestures. For the above mentioned two robots, one is called "Master" and the other is "Slave". A wireless camera is installed on the top of Master robot as its eye. On the other hand, Slave robot does not have eyes with vision capability, but it can measure the distance between itself and obstacles by its infrared ray sensor. Moreover, wireless communication is connected between two robots. There are two processors in the entire system, one is NIOS soft core processor for taking charge of motion and peripheral controls, and the other is PC for image processing and commands transmission.

In the experimental demonstration, Master robot can use its camera to recognize the positions of object and destination, then transport the object from the initial position to the destination. Based on the color marks pasted on Slave robot, Master robot can direct Slave robot to accomplish the following interactive motions. 1. Two robots walk close to each other and shake hands; 2. Slave robot passes the object to Master robot, then Master robot moves the object to the destination; and 3. Two robots carry the object together and transport it to the destination. During their interactive motions, the relative positions between robot and obstacles mainly depend on the vision capability of Master robot. Moreover, the infrared ray sensor of Slave robot is used to increase the accuracy of orientation. In this work, gesture recognition technique is also utilized. Any dynamic or static gesture is regarded as one significant command for robots. The operator can command robots to perform some motions by different gestures, such as walking forward and backward, turning right and left, shifting right and left, push-up and other interactive motions. The major achievement of this work is that image processing technique, infrared ray sensor and wireless communication are integrated to control the robots obeying instruction and working together.

應用組 APPLICATION GROUP

A8-025

作品名稱

腦波操控病床姿態系統

Hospital Bed Control by the EEG Signal

隊伍名稱

念力操控機械世界 Mechanism Control by Telekinesis

隊　　長

李銘寶 中央大學電機工程學系 博士班

隊　　員

吳奇勳、謝竣傑 中央大學電機工程學系 博士班

作品摘要

一、創作動機

台灣人口年齡分佈結構正朝著老齡化發展，探究其原因，除了是由於醫學進步所造成的低死亡率外，另一個主要原因則為夫妻生育兒女的意願較以前低落。老齡化社會的結構會產生一個最直接也是最主要的問題：老年人的醫療照護需求急遽增加。除了老年人需要醫療的照護外，年輕人但是具有先天或後天所造成殘障也是一樣需要看護人員照顧平時的生活起居。漸凍人以及四肢麻痺或癱瘓等病患皆是屬於無法自行照顧而需要看護人員協助的患者，所以照護技術和居家看護系統將會越來越顯重要。然而，目前的居家照顧大多仍是以聘用專門的照顧或看護人員，以一對一方式，專責照顧。但是並非所有的人皆能負擔起聘請專門看護人員所需的費用，而且如此亦會增加所謂的社會成本。本作品"腦波操控病床姿態系統"是一個全新的病床姿態調整系統，並且有別於傳統使用手動或聲控方式調整病床姿態。此系統在臨床的應用上，不但能使病患自主調整病床的躺臥姿態，更能幫助嚴重運動神經元受損的病患改善其生活品質。

二、系統簡介

本系統是透過量測使用者的腦電波訊號，並進行腦電波資料辨識，即可得知使用者對於電動病床的姿態調整需求後，再以驅動電路進行病床上對應可動結構之馬達的控制。腦波病床姿態調整控制包含有上半身、腳部以及整體病床的上升與下降。整個"腦波操控病床姿態系統"包含下列重點：

(1).以視覺誘發電位為基礎的大腦人機界面。

(2).腦電波訊號擷取電極共只需三個。

(a).視覺腦誘發電位電極。

(b).接地電極。

(c).參考點電極。

(3).腦電波訊號經由生醫訊號儀表放大器濾波並放大後，再透過類比/數位轉換器將類比訊號轉換成數位訊號。透過數位訊號處理器進行腦電波訊號處理並辨識使用者正在注視哪一個閃光訊號選項，瞭解使用者的病床姿態調整命令為何。

(4).病床姿態調整命令經由馬達驅動電路控制病床上對應馬達轉動。

三、預期成果

未來應用範圍泛及醫療輔具，居家看護等用途上。尤其在醫學的用途上，對於脊椎損傷，中風，漸凍人等病患，只要其意識清楚，便可以使用本作品"腦波操控病床姿態系統" 自主調整病床姿態。

指導教授

徐國鎧 老師 中央大學電機工程學系

- 1985~1987年於南榮工專電機科擔任講師兩年。
- 1987年獲國立成功大學電機系博士學位後，於中山科學研究院任職副研究員，1988年進入國立中央大學電機系服務迄今。
- 曾於1998年於美國Auburn University 任訪問學者一年。
- 2004~2007年擔任中央大學電機系系主任。
- 2006/08至2006 /10系主任期間，同時代理資訊電機學院院長。
- 自1995年迄今發表了55篇控制系統工程研究之跨領域，及生醫工程研究之學術期刊論文，並主持36件計畫，並於近兩年也發表了兩個美國專利，指導學生參加各種競賽獲得多項榮譽。
- 中央大學育成中心進駐廠商之輔導教授，於SARS期間指導「電子口罩」發表。
- 將大腦人機介面技術成功應用在智慧型看護病床之研究，於2007年於國科會發表「念力操控機械世界的實現—整合視覺腦波操控智慧型看護系統」。

指導教授

李柏磊 老師 中央大學電機工程學系

- 2000年取得國立陽明大學醫學工程研究所博士。
- 2005台北榮民總醫院教學研究部副研究員，台北榮民總醫院教學研究部博士後研究。
- 2007國科會吳大猷先生紀念獎/國立中央大學96學術研究傑出獎，國立中央大學96新近研究優良教師。
- 李老師致力於醫學工程的研究開發，以瞭解腦神經科學的生理意義為目標，開發醫學訊號與醫學影像的尖端處理技術，藉由數位訊號與影像處理及最佳化等技術，進行人類心智活動的腦神經網路運作研究及解析腦神經結構與功能的關係。
- 重要的研發成果，開發人腦與電腦溝通介面(Brain Computer Interface)技術。

Abstract

This design aims to integrate cutting-edge techniques in the areas of electrical engineering, mechanical engineering and biomedical engineering and develop a hospital bed controlled by the EEG signal system. The ingredients of this state-of-the-art system will consist of brain computer interface (BCI), power electronics and motor drives. The first part of the design is to develop a BCI system which can on-line acquire, detect and classify the electroencephalography (EEG) of patients. The classified EEG can be read out and sent to the central control unit for controlling the motors mounted on the hospital bed. When a patient sends out a request signal, the central control unit will recognize the input and subsequently control the attitude of the hospital bed by means of the motor drivers mounted on the bed.

A hospital bed controlled by the EEG signal system employs users to gaze at one optical display region of an optical flash generating device. The optical flash generating device receives an outer signal to flash the optical display region therein. A brain wave signal measurement device is used to measure a brain wave signal induced by users gazing the optical display region. A programmable chip is used to analyze the relation between the brain wave signal and the optical flash generating device, and control a selected option of the optical display region gazed by the users (for example, raising/falling of first, second or third portion of hospital bed).

We anticipate the proposed hospital bed control by the EEG signal system will not only reduce the nursing labor at the homecare or nursing house but also will facilitate the self-service of patients and thus improve the quality of life.

應用組 APPLICATION GROUP

AG-039

作品名稱

此魚非彼魚

This fish is not the fish

隊伍名稱

山中歲月 The time in the beautiful mountain

隊　　長

詹振綸 暨南國際大學電機工程學系研究所

隊　　員

顏啓恆 暨南國際大學電機工程學系研究所

作品摘要

市面上奇形怪狀的機器人很多，這些機器人也會表演各種動作，但是在水中活動的機器魚卻鮮少見到，製作機器魚最先碰到的難題是防水，其次才是動作控制，本作品全部做到了。本作品的機器魚能夠以自主模式悠遊及使用遙控器控制其游水動作，其運動行為包括：前進、左轉、右轉、下沉及上浮，除此之外還具有自動偵測電池電力之功能，當電力不足時，會自動浮出水面靠岸以進行充電，讓使用者可安心的玩樂及讓它進行水下探勘。除了可以利用遙控器使機器魚完成以上基本動作外，亦可透過魚體內部架設之攝影機，觀看水下的景觀；在自主模式下，不僅可利用紅外線感測器，測得障礙物的距離，達到自動避開障礙物之功能外，亦可透過內部之攝影機，將拍攝到的影像傳輸到電腦，再搭配影像辨識技術，達到追蹤目標物之功能。

本機器魚之架構大致分為魚體和魚尾架構，魚體架構含有：重心調校機構、沉浮機構、紅外線測距單元、控制電路、無線接收器、無線攝影機及電池，皆須具有防水功能，因此將控制電路及零件放置於防水艙之魚體內；魚尾架構則包含一顆伺服馬達及馬達軸心防水機構並放置於魚尾之防水艙中(如圖所示)。魚體水平移動與魚體重心平衡之動力均採用伺服馬達，透過PIC晶片(PIC16F877)進行擺幅控制；而魚體的上升與下沉動作，則以改變魚體防水艙內之氣囊大小完成之。在自主模式下本作品建立一移動策略作為各個機構之控制法則，使機器魚具有某種程度的智慧，悠游於水下，並能自動避開障礙物且自主追蹤目標物。因此，本作品為一隻可遙控、自主、監視及追蹤的智慧型機器魚。此機器魚更可以進一步研究改進，使其可以應用於國防軍事及海底探勘等方面，如水中尋物、探測海底生物、水底掃雷...等功能。

指導教授

李佩君 老師 暨南國際大學電機工程學系

- 李佩君教授現任職於國立暨南國際大學電機系。
- 李教授2004年獲得台灣大學電機研究所博士後，先任職於聖約翰科技大學電子系及兼任研教組組長，2006年二月轉任至暨南大學電機系成立視訊處理及應用實驗室，帶領學生從事視訊處理與應用之相關研究。
- 她的專長領域為視訊壓縮、視訊傳輸、錯誤修補、影像處理、DSP及FPGA應用等。

Abstract

Nowadays, there have been a lot of types of robots to be developed. These robots can show many motions on the ground. However, the robot underwater is seldom designed in Taiwan since the waterproofing of the robot is very difficult. In this work, we implement a robot fish to accomplish waterproof and several motions control. The robot fish can swim forward, turn left and right, sink down and float up by remote control. There is a camera inside the fish to look around of the water; and if the battery is low, the robot fish can float up automatically and swim to the shore for charging. Based on the IR sensor and camera in the fish body, the fish can swim to avoid the obstacle and transfer the image underwater to PC such that the underwater target tracking is achieved.

The structure of the robot fish includes two main parts, one is the fish body and the other is the fish tail. In the watertight fish body, there are floating machinery, sinking machinery, weight-adjusting machinery, IR sensor, control circuit board, wireless receiver, wireless camera, and batteries. The fish tail includes a servo motor, and waterproof motor shaft that are placed inside of waterproof cabin. The complete structure is shown in the figure above. The horizontal motions and weight-adjusting of fish robot are achieved by using servo motors, and the PIC chip (PIC16F877) is used to control the swing of the fishtail. The floating up and sinking mechanisms are achieved by changing the size of gasbag inside the fish body. Furthermore, the swimming motions for avoiding obstacles and tracking target are controlled by our designed control strategy. We believe the robot fish can be improved in the future to be applied in the national defense or ocean exploration such as submarine mine detection, and underwater creature searching etc.

應用組 APPLICATION GROUP

AG-095

作品名稱

具備多人無線穿戴式互動遊戲介面裝置

Has the multi-person wireless clothing type interaction game interface installment

隊伍名稱

資訊獵人 Information Hunter

隊　　長

林英傑 虎尾科技大學電機工程系

隊　　員

吳孟錩、張建盈 虎尾科技大學資訊工程系
江昱緯 虎尾科技大學電機工程系

作品摘要

在本專題中，為了在PC主機上實現無線互動遊戲功能，在此透過穿戴式手套的操作，設計了三款不同風格的互動式遊戲電玩：（1）以拳擊選手的角色搭配互動式拳擊手套模擬在真實格鬥場上的拳擊電玩，（2）以弓箭手的角色開發出一套模擬箭手百步穿楊的弓箭互動式遊戲電玩，以及（3）以有氧運動為主的互動電玩遊戲，無須到室外也可達到運動之功效。在每一手套端點配置一個單晶微處理器，並且連接三軸加速度感測器g-Sensor，利用其輸出的X、Y、Z三軸加速度信號來得知目前手套遊戲控制端點的移動距離和角度是否達到遊戲所需的手部動作，進而達到提高互動娛樂的效果。利用ZigBee/Wirless USB無線感測模組來實現支援254組手套端點之操作功能，並且可脫離傳統線材連結的束縛。

本系統特色如下所列：

- 預設可支援32種遊戲的操作類型，未來可根據需求來擴充。
- 具備玩家遊戲操作的記憶功能。
- 透過Zigbee/Wirless USB兩種無線傳輸規格，不受線材的限制。
- Zigbee/Wirless USB可支援到255裝置，目前製作一對二的功能，可擴充一對四或一對多。
- 利用g-Sensor感測晶片，達到模擬互動式電玩遊戲動作。
- 3D加速度偵測模擬動作更逼真。
- 無須安裝驅動程式，有支援USB HID複合式裝置之PC皆可輕易使用。
- 只需更改程式設定，皆可操作滑鼠或鍵盤功能之PC遊戲電玩。
- 以輕便手套取代一般傳統遊戲裝置，操作上更為輕巧。
- 統成本低廉，只需購買手套即可享受互動遊戲的樂趣。

指導教授

許永和 老師 虎尾科技大學資訊工程系

- 專長領域：嵌入式系統設計，車載通訊網路設計，高速USB設計，界面醫學電子設計。
- 現職簡介：
  目前擔任虎尾科大資工系專任教師，目前參與多件校內外計畫與教育部計畫的執行。
  此外，也帶領學生參與校內外的專題競賽獲得多項的佳績。

Abstract

The purpose of the study is to design a ready-to-wear glove for three interactive computer games: boxing, arch shooting, and aerobics. The glove is equipped with a single microprocessor at the endpoint that connects a three axis accelerometer sensor for its acceleration. Moreover, the ZigBee/wireless USB sensor module is incorporated with the glove to extend up to 254 endpoints.

In the system, each glove endpoint simulates as a ZigBee/Wireless USB node device for transferring the data to the receiver, a USB interface chipset. The receiver then simulates as a compatible USB HID composite mouse keyboard Wireless USB Dongle for which there will be no need for any device driver when playing the game. The designed system fits the USB HID class standard which adds more flexibility and portability to it.

(1)

(2)

(3)

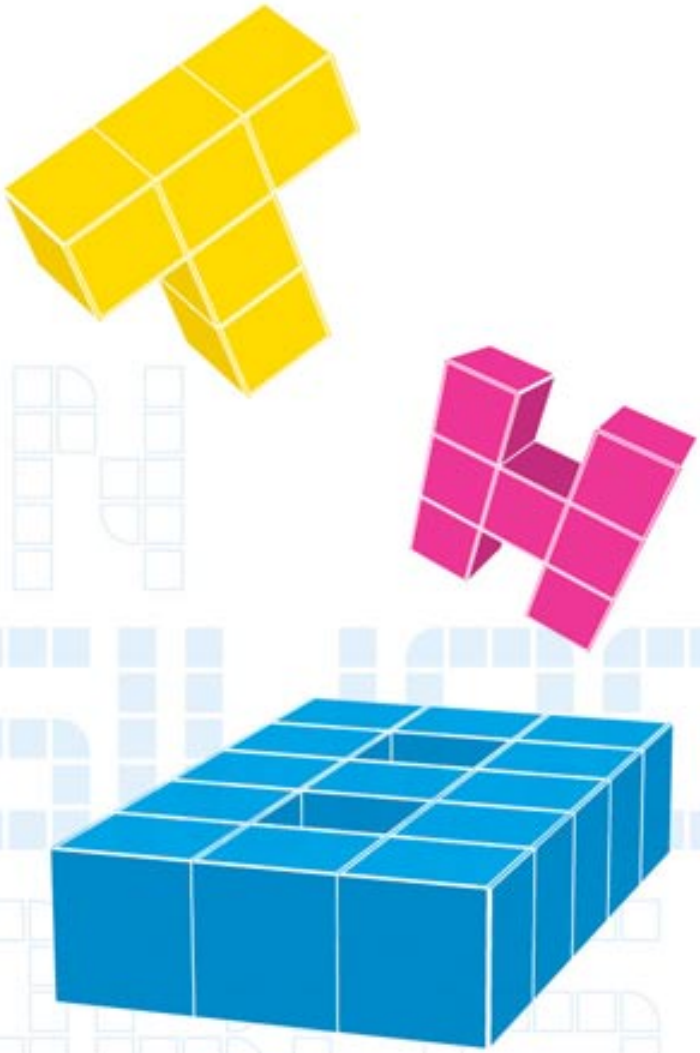
優勝獎作品介紹

設計組

D8-006 比風還快的速度
D8-008 高速之星
D8-009 生醫網路上身隊
D8-019 最終幻想
D8-050 天才向前衝
D8-053 優碼僕
D8-062 Orz stO
D8-064 Revolution
D8-066 無盡的供應
D8-101 為了部落

應用組

A8-004 雙手萬能隊
A8-018 轉動奇蹟
A8-023 鄧林古趙隊
A8-034 黃金手臂
A8-044 掌上百瓦
A8-080 HDR魂!!!
A8-082 暢快到底
A8-098 冰上悍將
A8-101 張三李四
A8-108 科科科科男



Design 08-006

作品名稱

使用0.13-μm CMOS製程的80-Gb/s寬頻放大器

A 80-Gb/s broadband amplifier in 0.13-μm CMOS technology

隊伍名稱

比風還快的速度 We are faster than the wind

隊　長

譚凱文 清華大學電子工程研究所

隊　員

金俊德 清華大學電子工程研究所博士班

指導教授

徐碩鴻 老師 清華大學電子工程研究所

作品摘要

創作動機：

隨著傳輸資料量的增加，光通訊的速度已由現行的40-Gb/s向上提升到更高速的80-Gb/s。而以下的電路要求也會愈來愈嚴格且重要：高整合性、高良率、低消耗功率、低成本等。而CMOS製程會是一個很好的解決方案。但CMOS製程唯一的缺點就是MOSFET的頻寬不夠寬。其頻寬主要是被MOSFET中的寄生電容所限制，例如Cgs、Cgd、和Cds等。這些電容是天生的且是無法避免的。

一般要增加電晶體的頻寬最常用的方法是shunt inductor peaking。將一個電感與偏壓電阻串聯，一個共源級放大器的頻寬可增加至1.85倍。即頻寬增加率(Bandwidth enhancement ratio, BWER)為1.85。其它較有效的方法包括T-coil peaking與shunt-series peaking。雖然這兩種方法的理想BWER各可到2.82和3.46。但由於這是經由一些不實際的假設所推導出來的結果，所以真正的BWER各為2.40和1.83。

因此，本文提出一個能更有效增加電晶體速度的電路技巧，對稱與不對稱式變壓器peaking (symmetrical and asymmetrical transformer peaking, STP and ATP)。在實際的應用中其效能的展現最好，是目前最有效增加電路頻寬的方法。

系統簡介：

為了展現STP和ATP對增加電路頻寬的能力，我們設計了一個使用0.13-μm CMOS製程的寬頻放大器且速度為80-Gb/s。電路主要是五級共源級放大器串接而成。在輸入端使用STP、輸出端和每一級放大器則使用ATP。輸入為電阻式的架構。在使用的電晶體fT為110 GHz的情況之下，模擬的電路頻寬還可達80 GHz。大約是0.7倍的fT。

預期成果：

經由量測的S-parameters得知電路頻寬為70.6 GHz，增益為10.3 dB。操作電壓為1.5 V，直流消耗功率為79.5 mW。晶片面積為0.39 mm2，而核心面積為0.05 mm2。增益頻寬積除以直流消耗功率為2.9 GHz/mW。

Abstract

Motivation:

As the data capacity increases, the speed of optical communication system has been increased from 40-Gb/s to 80-Gb/s. In addition, the requirement in high integration level, high yield, low power consumption, and low cost are more and more important. The CMOS technology is probably the best candidate to achieve these goals. However, the only problem is that the speed or bandwidth of a MOSFET is limited due to the inherent parasitic capacitances. These capacitances are Cgs, Cgd, and Cds, that are inherent in a MOSFET and can not be avoided.

A usual way to enhance the transistor speed is shunt inductor peaking. Using an inductor in series with a biasing resistor, the bandwidth of a common-source (CS) stage can be increased by a factor of 1.85. Therefore, the bandwidth enhancement ratio (BWER) for shunt inductor peaking is 1.85. In the literature, other techniques had been proposed with higher BWER. Ideally, the BWER for T-coil peaking and shunt-series peaking is 2.82 and 3.46 based on some unrealistic assumptions, respectively. By considering a more practical case, the BWERs are dropped to 2.40 and 1.83, respectively.

Here, an effective circuit technique, symmetric and asymmetric transformer peaking (STP and ATP), for gain-bandwidth product (GBW) enhancement is proposed. In a practical case, this technique is the most effective method to enhance the circuit bandwidth.

Wideband Amplifier Design:

To demonstrate STP and ATP, an 80-Gb/s wideband amplifier is designed using 0.13-μm CMOS technology. Five cascaded CS stages are designed, and the input matching network is realized by a shunt resistor. The STP is employed at the input terminal, while ATP is at the drain terminal of each CS stage. With a transistor fT of 110 GHz, the simulated circuit bandwidth can reach a high value of 80 GHz (~ 0.7×fT).

Results:

From the measured S-parameters, the circuit bandwidth is 70.6 GHz and the low-frequency gain is 10.3 dB. The power consumption (PDC) is 79.5 mW under a supply voltage of 1.5 V. The chip area is 0.39 mm2, and the core area is only 0.05 mm2. The GBW per DC power consumption (GBW/PDC) is 2.9 GHz/mW.

Design 08-008

作品名稱

一個超高速五位元快閃式類比數位轉換器

An Ultra High-Speed 5-bit Flash ADC

隊伍名稱

高速之星 Highway Star

隊　長

林英儒 成功大學電機工程研究所

隊　員

黃冠穎 成功大學電機工程研究所

指導教授

張順志 老師 成功大學電機工程學系

作品摘要

在眾多不同架構的類比數位轉換器中，快閃式類比數位轉換器一直是普遍被認為最適用於低至中等解析度與高速操作的架構，其廣泛的應用於硬碟機/光碟機的讀寫介面電路或在高速通訊的接收器。現今數位電路的處理，由於管線(pipeline)與多重路徑(super-scalar)技術的廣泛地被使用，可以達到很高的等效操作頻率。但類比電路部分往往受限於製程技術的限制與電路設計技巧而無法與數位電路的操作頻率相配合，因而形成效能的瓶頸。

此次提出的類比數位轉換器，雙端差動輸入訊號經由一個取樣放大器(track-and-hold)來進行對輸入訊號的取樣。取樣之後的輸入訊號由比較器之輸入端進入，而比較器陣列(comparator array)做電壓位準之判斷。在所使用的比較器之架構的設計中，第一級的前置放大器至第三級比較器，我們使用了電阻做為負載。在高速操作時，它能夠提供極優異的解析度，尤其是遠離共模比較電壓的比較器而言。比較器的輸出，分別由一個電流式正反器陣列所接收。所得到的數位訊號接下來傳遞至三十二位元至五位元的編碼器進行編碼的動作。

這個設計案中所提出的類比數位轉換器，我們將以提昇這個快閃式類比數位轉換器可達到操作的速度為主要目標。輸入訊號的匹配網路(input matching network)的設計與高速編碼器的設計，也以速度為最高的考量。以所量測出的結果，這個類比數位轉換器，比較起已經發表的作品，有著相當的效能綜合評比，並且操作在最快的速度，最快可達到4.2 GS/s。

Abstract

In GS/s analog-to-digital conversion, the flash analog-to-digital converter (ADC) is one of the most preferred architectures owing to its high-speed potential and low latency. Random offsets induced by component mismatches limit the accuracy of a flash ADC. Large number of components and device mismatches constrain the performance of flash ADCs. Techniques such as interpolation, resistive averaging network and calibration are developed either to reduce the component number or enhance the accuracy.

In this work, the resistive averaging network and interpolation technique are investigated and analyzed to accurately estimate the power consumption of preamplifier arrays in a flash ADC. By comparing the relative power consumption of various configurations, flash ADC designers can select the most power efficient architecture when the operation speed and resolution of a flash ADC are specified. Based on the quantitative analysis, a compact 5-bit flash ADC is designed and fabricated in a 0.13-μm CMOS process. The proposed ADC consumes 180 mW from a 1.2-V supply and occupies 0.16-mm2 active area. Operating at 3.2 GS/s, the ENOB is 4.44 bit and ERBW 1.65 GHz. At 4.2 GS/s, the ENOB is 4.20 bit and ERBW 1.75 GHz. This ADC achieves FOMs of 2.59 and 2.80 pJ/conversion-step at 3.2 and 4.2 GS/s, respectively. The proposed ADC operates at a sampling rate up to 4.2 GS/s and achieves comparable FOMs with the other state-of-the-art works.

Design 08-009

作品名稱

生醫網路上身系統

Bio-medical ntra-body communication SoC networking for biomedical applications

隊伍名稱

生醫網路上身隊 Bio-medical networking on body

隊　長

林宥佐 台灣大學電子工程學研究所博士班

隊　員

黃毓傑 台灣大學電子工程學研究所博士班

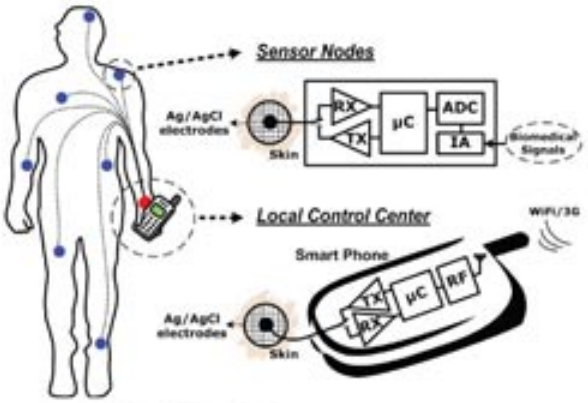
莊誌逞、葉凱文 台灣大學電子工程學研究所

指導教授

呂學士 老師 台灣大學電子工程學研究所

作品摘要

本隊研發出一高度整合之生醫網路單晶片，其具備一專為人體傳輸感測網路(intra-body sensor network)設計之特殊通訊協定，此系統單晶片可應用在位於身體各處之感測點，由近區控制中心(Local Control Center)來控制其行為。不同於一般無線電以空氣作為傳輸媒介，而是以皮膚為媒介，由於人體和空氣相較之下為一較佳之導體，透過人體來通訊，可減低通訊時所消耗之功率，延長感測點的使用時間，且無天線的需求因此感測點的體積可以更小，對於目前越來越多的可攜式應用產品需求，提供了非常好的發展方向和潛力。控制中心可以使用智慧型手機或一手機配合所設計之收發機來實現，最後傳送到遠端的醫院進行資料判讀或處理，醫院或醫生也可以透過電腦來命令感測網路啓動感測點裡的電路並傳送生醫資訊進行監控。可以透過感測點上的電極片收發信號，而控制中心也使用另一電極片控制或收集所有感測點所取得的生醫資訊，最多可同時支援128個感測點。其中感測網路協定採用星狀拓璞結構(star topology)以減少感測點控制電路的複雜度及資訊的延遲時間，也使得控制中心能夠最佳化每一個感測點之電能使用效率。



■ 上身感測網路系統概念圖

Abstract

This work presents a fully integrated SoC associated with a custom-designed hardware-implemented communication network protocol for intra-body sensor network applications. Since human body acting as the transmission medium has lower loss than the air, human body communication (HBC) technique is preferred for the body area network. Moreover, the spectrum capacity in the air is limited and crowded, and the communication channel is interfered easily by adjacent channels. Therefore it can be easily envisioned that the power consumption of the SN in the HBC system is potentially much lower than that in the wireless communication system. Furthermore, the antennas are not needed in the HBC system because of its inherent wired-communication characteristic and hence the HBC system has the benefit of small form factor and thus is more promising for wearable or implantable purposes.

The BBSN is a body sensor network specialized for biomedical signal detection and transmission on the body. The concept of BBSN is depicted in Figure, and the SNs, comprising the proposed SoC, one Ag/AgCl electrode, and few off-chip passive devices, are distributed on the body to gather bio-signals. The SoC in the SN includes an ASIC microcontroller (μC, μController), an amplitude-shift keying (ASK) transceiver, an instrumental amplifier (IA), an 8-bit successive approximation analog to digital converter (SAR ADC), and voltage regulators. A smart phone or a watch can serve as the local control center (LCC) consisting of the transceiver, the μC, and wireless commercial circuits to construct the BBSN by keeping all SNs under its control. Due to its inherent characteristic of short-range transmission, the BBSN uses the "star" topology to reduce the complexity of control circuits and the latency of data transferring. The star topology also lets LCC more easily optimize the power efficiency of each SN. Since most biomedical signals have the characteristics of low variation rate, SNs should go into a low-power Sleep Mode frequently to save power. The BBSN adopts time synchronization procedure and sleep-scheduling techniques to regulate the SN operation cycle. The μC in the SoC has an embedded real-time counter that can be accessed by the command from the LCC. The LCC arranges the transmission and sleep schedule of each SN to avoid conflictions and extend battery lifetime.

Design 08-019

作品名稱

一個直接高速傳輸的40Gbps四埠分時多工交換機晶片

A 40Gbps 4-port STDM Switch IC Switching Directly on High-speed Domain

隊伍名稱

最終幻想 Final Fantasy Dream

隊　長

陳煥達 清華大學電機工程研究所

隊　員

林洋緒 清華大學電機工程研究所

許育豪、高旻聖 清華大學通訊工程研究所

指導教授

吳仁銘 老師 清華大學通訊工程研究所

作品摘要

由於近來光纖技術的發展，使得建立一個高速的網路交換機更顯得重要。現今市售的交換機都是建構在共享記憶體的基礎上，在這樣的架構中大量封包透過記憶體來儲存與轉交，記憶體的存取速度變成了交換機系統的瓶頸，本次下線我們實現突破性的交換機架構，以期能應用於未來光纖普及的高速網路。主要架構乃是基於本團隊所提出的負載平衡式布可夫－范紐曼交換機(Load Balanced Birkhoff-von Neumann Switch)，架構分前後兩級，第一級做負載平衡、第二級做分封交換，理論上已證明此架構可達效能百分百的傳輸品質。此前瞻性架構的好處是來自於架構本身的可擴充性(scalability)，只要我們將4X4埠的交換機晶片實現，之後便能以此為單元建構出16X16或64X64埠甚至到1024X1024的骨幹級交換器。

然而，在將整個SERDES介面整合至4x4交換機核心的同時，我們發現了整個輔助性的SERDES電路佔據了大部分的面積與功耗，於是問題回到了整個架構的原點，也就是clock rate與bus width的決定，先前的數位STDM switch採用Cell-based design flow，受限於製程cell-based design flow本身的速度極限，要實現Giga級的資料傳輸速率，勢必要以parallel data bus來同時處理資料，然而大量bus使用需要進一步藉由高速的SERDES介面來解決晶片pin count的限制。這次我們採用全新的思維，設計一個高速40Gbps的交換機，每port的資料以serial bit level的方式直接處理，將10Gbps/ch的高速資料直接在高速的domain直接做交換，不再使用SERDES費心的解成20bit-bus後才於低速domain做交換。

為了要降低位元錯誤，一個資料時脈還原電路使用在4埠交換機之前.這個電路還原出資料以及時脈信號，從接收端的資料信號.使得下一級的交換機能更快速及正確的處理接收到的訊號。這個創新的高速資料時脈回覆電路架構，可以取代先前的鎖相迴路,除了增加了時脈速度，還能夠有效的降低位元錯誤率.

此外，最大特性的資料時脈還原電路是可以處理10Gbps的輸入訊號。與其它使用半速度或是四分之一速度的電路最大之差別是我們採用全速度式的架構來達成10Gbps的高速。因此，我們提出一個創新的“單級相位偵測器”能夠操作在全速10Gbps還能有最小的面積以及最小的功率消耗，相較於其他全速式的資料時脈還原電路，我們的架構不但是最簡單，而且也最具有創意以及遠景的晶片。

Abstract

The rapidly growing volume of data transfer in optical communication has recently rekindled the interest of high-speed switch fabrics. Available switch fabrics nowadays are mostly built on the shared-memory architecture, in which vast packets are stored and transferred through the speed-bottleneck component in the overall system, memory. In this tape-out, proposed new switch fabric architecture, Load Balanced Birkhoff-von Neumann Switch, has been accomplished for the sake of future application to the optical and high-speed communication networks. Load Balanced Birkhoff-von Neumann Switch, which consists of two stages, load-balancing and switching stage respectively, has been proved to achieve 100% data throughput. The main advantage of this perspective architecture is scalability. As long as a 4x4 switch fabric is realized, the whole system could be easily extended to 64x64 or even 1024x1024 switch backbone network.

Nevertheless, while the SERDES interfaces are integrated into the 4x4 switch fabric core, it is found that the SERDES circuits take up most of the chip area and power consumption. This work handles data directly at 10Gbps per channel and achieves overall 40Gbps data rate without further data composition and decomposition through SERDES.

In addition, the biggest characteristic of the Clock and Data Recovery circuit is full rate 10Gbps. Unlike the structure of Clock and Data Recovery is half rate or even quad rate. We propose an innovative SSPD (Single Stage Phase Detector) operated at full rate 10Gbps with the smallest chip area and power cost. This Full rate Clock and Data Recovery not only challenge the design difficulty but also save more pleasure chip area. Comparing with the other Full rate circuit, Our new architecture only needs 72 (mW) in the same clock rate. Consideration of chip area is saved and the benefit of low power consumes. We can call this SSPD Clock and Data Recovery is a creative and imaginative IC.

Design 08-050

作品名稱

一個7.39mm², 76mW適用於IEEE 802.11n通訊系統的(1944,972)低密度奇偶校驗解碼器之晶片設計

A 7.39mm² 76mW (1944,972) LDPC Decoder Chip for IEEE 802.11n System

隊伍名稱

天才向前衝 Genius

隊　長

施信毓 台灣大學電子工程學研究所

隊　員

詹承洲 台灣大學電子工程學研究所

趙敏安、溫仁揚 台灣大學電機工程學系

指導教授

吳安宇 老師 台灣大學電子工程學研究所

作品摘要

低密度奇偶校驗編碼(Low-density Parity-check Codes)是一種通道編碼技術，最早是在1962年由Robert Gallager博士所發表，它能夠將資料傳輸錯誤率更趨近向農極限(Shannon limit)。然而當時製程技術卻無法實現這種複雜的編碼系統，也就逐漸地被遺忘了。直到1995年，終於由MacKay與Neal兩位博士重新發現，並且隨著超大型積體電路技術不斷的演進，要實現此編碼系統不再是不可能的任務，才再度引起人們廣泛討論與研究。

本作品的目標是在支援無線區域網路通訊標準(WiFi, IEEE 802.11n)之下，針對低密度奇偶校驗編碼的解碼器，提出一套完整的解碼設計方法，包含(1)針對檢查點單元的運算:群組化比較方式(Group Comparison Method)、(2)針對變數點單元的運算:動態字長分配(Dynamic Wordlength Assignment)和(3)針對運算單元和儲存記憶體:資料封包存取策略(Data Packet Scheme)等技巧，設計出一顆具有高效率解碼功能的晶片。除此，在晶片佈局上，我們提出有效率的記憶體擺放方式，以減少晶片繞線複雜度和縮小晶片面積。本作品利用TSMC 0.13um 1P8M CMOS製程來實現硬體，並透過CIC進行晶片下線。解碼器硬體實現的核心面積(core size)為3.88mm²，整體的晶片面積為7.39mm²，可操作的最大頻率為111.1MHz，所消耗的平均功率為76mW。總而言之，本作品具有下列各項特點：(1)增加晶片執行速度、(2)縮小整體晶片的面積、(3)降低功率的消耗、(4)提升解碼效能和(5)增加解碼的總吞吐量。

Abstract

Low-density Parity-check (LDPC) codes, which own the best error-correcting ability among all of the error correction codes, were first introduced by Dr. Gallager in the early 1960s. But it was very difficult to realize the hardware architecture and chip implementation due to the limited VLSI technology at that time. Unfortunately, LDPC codes were not widely researched and were left behind little by little. After three decades, LDPC codes were rediscovered by Dr. MacKay and Neal. The excellent error-correcting performance is proved much closer to the theoretical lower bound, Shannon limit. Moreover, with the dramatic advancement of VLSI technology, it is not an impossible mission to implement LDPC codes as the forward error correcting (FEC) schemes in the advanced communication systems.

This work presents the LDPC decoder chip for (1944, 972) QC-LDPC codes in IEEE 802.11n communication system, WiFi. The efficient LDPC decoder chip is designed with three design techniques, including Group Comparison (GC), Dynamic Wordlength Assignment (DWA), and Data Packet Scheme (DPS). By using TSMC 0.13um VLSI technology, the core area and die size are only 3.88 and 7.39 mm². respectively. The maximum operating frequency is measured at 111.1MHz and the corresponding power dissipation is only 76 mW. Briefly speaking, the LDPC decoder chip features critical path shortening, low area cost, low power dissipation, performance improvement, and throughput enhancement.

Design 08-053

作品名稱

適用於前瞻無線通訊系統之全方位可量化最大事後機率解碼引擎設計

Universal Scalable MAP Engine Design for Advanced Wireless Communication Systems

隊伍名稱

優碼僕 UMAP

隊　長

林承鴻 台灣大學電子工程學研究所

隊　員

陳俊諭、施信毓 台灣大學電子工程學研究所

指導教授

吳安宇 老師 台灣大學電子工程學研究所

作品摘要

單二元渦輪碼(Single-Binary Convolutional Turbo Code)在1993年由Berrou等人所提出，其解碼能力可逼進理論上的向農極限(Shannon Limit)，並由於其硬體之可實現性，因此第三代行動通訊系統，包含WCDMA、HSDPA與3GPP-LTE已將之納入標準當中。非二元渦輪碼(Non-Binary Turbo Code)其後於1999年被提出，相較於傳統的二元渦輪碼，非二元渦輪碼具備更佳的解碼效能，但同時也需更大的運算複雜度。新一代的通訊系統，如全球互通微波存取(WiMAX)，數位衛星交互式電視廣播(DVB-RCS)等也將雙二元(Double-Binary Turbo Code)渦輪碼納入標準當中。

為了因應下一代通訊系統高速的傳輸要求與不同類別的渦輪碼形式，本作品提出了一個全方位可量化最大事後機率解碼引擎設計，其所具備特性如下：(1)整合平行視窗與混合視窗架構，在合理硬體成本下達成任意吞吐量需求 (2)結合單二元與雙二元渦輪碼，以最低多餘硬體成本製成符合兩種形式渦輪碼的解碼器 (3)低功率設計，以符合手持式無線通訊所需。最後將上述特性利用TSMC 0.13μm CMOS製程整合在一顆面積大小為1.28 mm^2的晶片上，最高頻率可操作在125MHz。此全方位可量化最大事後機率解碼引擎可符合多標準可重置渦輪解碼器所需要求，或做為一個多模通訊系統之多核心單晶片系統的硬體加速器。最後，此解碼引擎可應用在吞吐量從2Mbps至100Mpps之第三代行動通訊系統的渦輪解碼，或吞吐量從15Mbps至75Mpps之全球互通微波存取系統的渦輪解碼。

Abstract

Single-binary convolutional turbo code (SB-CTC) proposed by Berrou et al. in 1993 has been the well-known FEC code that can achieve data rates and coding gains close to the Shannon limit. The superior error correction performance and realizable hardware architecture made SB-CTC codes as the FEC scheme for cdma2000, WCDMA, HSDPA and 3GPP-LTE. In 1999, the non-binary CTC (NB-CTC) was introduced to have superior coding gain than the SB-CTC and the double-binary CTC (DB-CTC) was adopted in advanced wireless communication standards, such as DVB-RCS and WiMAX.

For the future wireless communication systems with high throughput and different CTC schemes, this work presents the universal scalable MAP engine with features of (1) Combined parallel-window and hybrid-window (PW/HW) MAP decoding, (2) Dual mode single-binary/double-binary (SB/DB) MAP decoding, and (3) Low power design. By using TSMC 0.13um 1P8M CMOS process, the universal scalable MAP engine has been implemented in a chip with core size of 1.28 mm^2 at 125MHz maximum operating frequency. The implemented MAP engines can be used as hardware accelerators in MPSoC for multistandard CTC schemes with the area-efficient and energy-efficient features. Finally, the prevalent wireless applications from 2Mbps WCDAM SB CTC to 75Mbps WiMAX DB CTC have been demonstrated by using our proposed universal scalable MAP engine.

Design 08-062

作品名稱

生理肌電訊號辨識系統晶片之設計與實作

VLSI Implementation for EMG Pattern Recognition System

隊伍名稱

Orz stO

隊　長

李威德 成功大學電機工程研究所

隊　員

塗俊達 成功大學電機工程研究所博士班

許嘉霖 成功大學電機工程研究所

指導教授

林志隆 老師 成功大學電機工程學系暨研究所

作品摘要

本晶片是全世界第一顆表面肌電圖核心辨識晶片，利用TSMC 0.18μm Mixed signal CMOS製程下線，並且利用國家晶片系統設計中心(CIC)的高階混合訊號自動測試系統「Agilent 93000 SOC Test System」完成晶片功能測試，成功實現了辨識表面肌電圖訊號的數位晶片，達到了小面積、低成本和即時辨識的需求。並且配合外部PCB板電路，完成了生理肌電訊號辨識晶片之系統雛型。本晶片系統使用「圖形辨識」的技術，並且結合了生醫電子輔助器具的優點：「功能性」，及非侵入式量測器具的優點「非侵入式」，更擁有「病患專屬化」及「病患可自行訓練」的優點，使得病患可以利用個人專屬資料庫來準確的比對自己的肌電圖訊號，並且可以讓病患自己利用訓練的方式來更新專屬的動作資料庫，使病患擺脫在病患心理學上患者常有的自卑心理：如「自己不再有用」和「小事也需要靠他人」等病患心理障礙，本系統除了實質上的幫助，更進一步地在心理層面上給了病患正面的幫助。

本生理肌電訊號辨識系統晶片是生醫晶片的二大發展方向之一，符合政府的「生醫科技島」目標，屬於產業界所發展的「電子醫療輔助器具」之一，實為生醫領域發展之先驅。並且就社會需求來看，對障礙人士有直接有效的實質幫助，更能在心理層面上給予病患更大的支持與鼓勵，因此本系統相當具有研究意義及發展潛力，更是未來生物醫學科技重要的主軸之一。

Abstract

This research presents the first design of surface electromyogram (EMG) recognition chip fabricated using 0.18 μm CMOS single-poly-six-metal technology on a core size 0.887 x 0.887 mm^2. This proposed chip has been fully tested via the Agilent 93000 SOC Test System at the national chip implementation center (CIC). This chip conforms to requirements of reduced area, low cost and real-time recognition. The proposed system is composed of the EMG recognition chip and an outer printed circuit board. A pattern recognition algorithm is used in this system, which has the functions of bioelectronics auxiliary tools and the non-invasive measurement. Patients can rebuild their confidence and pride by using this system without need for help from others.

This system helps patients substantially (like moving, working, control the artifical limbs and scooters etc.), and gives them positive assistance in psychology. The EMG recognition chip is a biomedicine chips, and conforms to government development goal. This chip is also a bioelectronics auxiliary tool and a precursor in the field of biomedicine. In light of social demands, this system helps the handicapped people substantially. Furthermore, the proposed chip gives patients considerable support and encouragement psychologically. Thus, this system has potential for further research and development. This EMG recognition system is a leading technology in the field of biomedicine.

Design 08-064

作品名稱

高效能 JPEG XR 編解碼器

High performance JPEG XR CODEC

隊伍名稱

Revolution

隊　　長

簡清彥 交通大學電機與控制工程研究所

隊　　員

莊子德 台灣大學電子工程學研究所

林士翔、黃煜傑 交通大學電機與控制工程研究所

指導教授

黃聖傑 老師 交通大學電機與控制工程研究所

作品摘要

快速發展的感測器、顯示裝置、運算引擎與有效的演算法與架構，使得影像無所不在，過去幾年，JPEG已經融入了我們的生活，像是數位相機、部落格等等，但JPEG所能提供的影像品質有限，在2006年，新的JPEG XR影像壓縮標準已經提出並且在此討論與使用VLSI架構去實現。JPEG XR擁有相當高的編碼效率與豐富的編碼功能，在相同壓縮倍率下，更能提供與JPEG2000相似的影像品質

本作品中，會對JPEG XR編碼器進行演算法分析與提出新的硬體架構，除此之外，4：4：4的HD影像可以順利編碼，在JPEG XR編碼器中，熵編碼是整個編碼器的核心，這部份是數學運算最複雜的地方，所以我們第一個提出的技巧就是在熵編碼時，使用管線排程的方式來增加執行速度與產出量，另外的所提出的架構就是在前置濾波器與PCT，為了最佳化這部份與充分的利用矽晶圓的單位面積，我們提出資料重複技術來解決這問題，此技術可以節省對外部記憶體存取的頻寬達33%，其它還有很多的架構來節省面積與增加編碼效率。

我們藉由元件庫設計方式實做一顆JPEG XR編碼器，實際模擬結果，我們提出的架構可以執行每秒34.1百萬樣本的編碼器，這顆IC可以廣泛的應用在數位影像上，並且是低運算複雜度、低儲存空間與高動態範圍的一顆影像壓縮晶片。

Abstract

With rapid progress of sensors, display devices, computing engines, and efficient algorithm/architecture, image application exists everywhere. In the past years, JPEG is well-know image compression standard. It has been merged together with our life such as digital still camera, blog and others. But JPEG can't satisfy the rapid progress of technology. For satification of the high quality image compression, the new JPEG XR compression algorithm is discussed and implemented with the VLSI architecture. JPEG XR has high encoding efficiency and versatile functions. The image quality of JPEG XR is nearly equal to JPEG 2000 with the same bit-rate.

The analysis and architecture design of JEPG XR encoder are also proposed in this work. Besides, the 4:4:4 high definition photo can be encoded in smooth. In JPEG XR encoder, Entropy coding is the heart of encoder. Therefore, we first proposed a timing schedule of pipeline architecture to speed up the entropy encoding, which is the most computationally intensive part in JPEG XR encoder. Another improved architecture in this work is the optimization of Pre-filter and PCT. To optimal this problem and maximize the silicon area efficiency, we also proposed a data reuse skill to solve this problem. The data reuse skill can reduce 33% memory bandwidth form external memory. There are many architecture to reduce the hardware cost under the same throughput.

A baseline JPEG XR encoder has been implemented by cell-based IC design flow. According to the simulation results, the throughput of the proposed design can encode 34.1 M samples/sec. This design can be used for the digital photography applications to achieve the low complexity of computation, low storage, and high dynamic range.

Design 08-066

作品名稱

三相相控整流器電流源數位控制IC之設計

Design of a Digital Control IC of a Current Source Based on a Three-Phase Controlled Rectifier

隊伍名稱

無盡的供應 Unfailing Supply

隊　　長

柯富瀞 明新科技大學電機工程研究所

隊　　員

蕭立青、石善智、梁志偉

明新科技大學電機工程系

指導教授

蔡明發 老師 明新科技大學電機工程系

作品摘要

在過去幾年來，三相相控整流器的應用非常廣泛，如直流馬達驅動器，照明控制，電池充電器，直流電源供應器以及交流馬達驅動之前置調整器等。除此，也廣泛地應用在高功率和大電流之工業程序控制中，如電解和電焊系統等。在以上應用當中，其主要訴求是能在頗定範圍內產生可調控之直流電流源。本作品提出一個三相相控整流器電流源數位控制IC之設計，可利用此數位控制IC控制三相相控整流器之閘流體以產生一個定電流源，其內部架構包含三部份，分別為：一個三相相位控制的觸發電路、一個反餘弦計算查值表及一個比例積分電流控制器，此三部分之電路設計是以VHDL硬體描述語言來實現，可做為整個三相相控整流器電流與相位觸發數位控制之智財，設計後並在Simulink和ModelSim的共同模擬環境下，建立此三相相控整流器電流源之模型以進行模擬驗證。此外，電流回授採用多重取樣平均值的方法，以減少電流漣波的影響，最後下載到一個Altera FLEX 10K FPGA邏輯元件進行實驗，模擬與實驗結果顯示以此控制IC控制三相相控整流器在不同電流命令與負載變化下仍有穩定之動態響應。

Abstract

Over the last several years, there have been extensive applications of the three-phase controlled rectifier, such as the DC motor driver, the illumination controls, the charger of the battery, the DC supplying device and the adjuster before the AC motor driver, etc. Besides, there have also been extensive applications of the high power and big current in industry process control, such as system of electrolysis and electric welding, etc. In the above-mentioned applications, the main requirement produces the DC current source that can be adjusted and controlled in the specified range. In this work we design a digital control IC which is intended for controlling thyristors to produce a constant current source via a three-phase controlled rectifier. The architecture of the control IC consists of three major parts: a three-phase controlled triggering circuit, an inverse cosine look-up table, and a proportional-integral current controller. All the three parts have been designed using VHDL language and integrated as a control IP (intellectual property). The simulation model for a constant current source based on a three-phase controlled rectifier has also been constructed by using Simulink, ModelSim, and PSIM cosimulation tool. Further, a multiple-sampling and average scheme for the current feedback has been adopted to reduce the current ripple effect. The designed control IC circuit has been implemented on an Altera Flex 10K FPGA logic device. Simulation and experimental result reveal this control IC receives steady dynamic response in changing current reference command and load variation.

Design 08-101

作品名稱

一個快速鎖定兼具低功率消耗特性的5.5-GHz頻率合成器

A 5.5-GHz Low-Power Fast-Locking Frequency Synthesizer

隊伍名稱

為了部落 For BL

隊　　長

邱威豪 台灣大學電子工程學研究所

指導教授

林宗賢 老師 台灣大學電子工程學研究所

作品摘要

由於資訊網路的加速發展，無線通訊系統因而蓬勃興起，然而因應更多不同的應用與需求，頻寬與速度的限制考量更為重要，尤以在無線行動通訊系統當中，電路的耗能將因為電路的高頻處理速度備受考驗，對於適攜性之行動通訊產品而言，高功率消耗意味使用時間與待機時間的縮短，於市場需求上，將會需求更昂貴先進的儲能裝置，致使成本增長；此外，於通訊系統的應用中，為了避免影響鄰近通道的訊號，通常也會對鄰近通道的頻率突波(Sideband Spur)大小有著一定的限制，而這個雜訊來源通常是來自於參考頻率突波(Reference Spur)。因此，更高的頻寬與速度，並且可以有效降低耗能，以及能夠有效壓抑參考頻率突波，是當今市場競爭的需求與科技研究上的議題。

此次設計中，我們加入了加速鎖定之電路，藉由這個電路，可以在適當時機改變鎖相迴路之頻寬，以達到較快速的鎖定時間，並且不會犧牲掉有效抑制雜訊與參考頻率突波的優點。在低功率的設計考量上，我們創新設計了兩個除頻器電路，以取代傳統的數位除頻器電路或電流模式邏輯(Current Mode Logic, CML)除頻器電路，其中在前端的數位除頻器電路可以操作在較真實單一相位時脈(True Single Phase Clock, TSPC)除頻器還小的輸入電壓振幅下，因此在不同的設計考量上，可以彈性降低壓控振盪器及緩衝器所需的電流消耗；中頻除頻器電路由於其架構可以減少不必要的狀態切換次數，因此可以較傳統TSPC除頻器電路有較低的功率消耗。

電路之設計與佈局皆採用TSMC 0.18μm 1P6M CMOS製程，若不包括迴路濾波器，電路含穩壓電容總面積為1.246×1.124mm2，當電路鎖定在5.48 GHz並且頻寬為40 kHz的情況時，鎖定時間約在20~25μs，改善了約60μs，整體功率消耗亦約在9 mA。

Abstract

Phase-locked loop (PLL) is employed in various applications. Among which, the PLL-based frequency synthesizers are essential components in the communication systems. In these different systems, the PLL must satisfy many design requirements to ensure a high communication quality. These requirements include phase noise, sideband spur, power consumption, frequency tuning range, VCO tuning gain, and locking/settling time etc. Tradeoffs often exist among different design specifications. For example, narrow PLL bandwidth may be required to minimize the noise contribution from the dividers and to suppress reference spurs. However, this leads to an elongated locking time. Furthermore, as the operating frequency increases, power consumption also rises. In particular, the high-frequency dividers often dominate the chip current consumption.

This work presents a PLL-based frequency synthesizer with a fast-locking capability. The PLL incorporates a proposed digital discriminator aided phase detector (DAPD) to expedite the loop settling. The DAPD enables a fast locking by sensing the input phase error to adjust the programmable charge pump and loop filter. Moreover, two digital frequency dividers, one divide-by-2 and one divide-by-4/5, are proposed to accomplish low-power and high-speed divider operation. The PLL is fabricated in a 0.18-μm CMOS process. With the proposed digital DAPD, the settling time is considerably reduced to 20 μs without sacrificing the characteristics of a 40-kHz loop bandwidth at lock. The measured 5.5-GHz PLL phase noise at 1-MHz offset is -110.9 dBc/Hz, and the reference spurs at 10-MHz offset are lower than -75 dBc. The whole PLL consumes 9 mA from a 1.8-V supply voltage, while the two high-frequency dividers consume 1.4 mA only.

Application A8-004

作品名稱

人體傳送個人資訊系統

Personal info communication system by inter-body communication

隊伍名稱

雙手萬能隊 Only two hands

隊　長

林宥佐 台灣大學電子工程學研究所博士班

隊　員

黃毓傑 台灣大學電子工程學研究所博士班

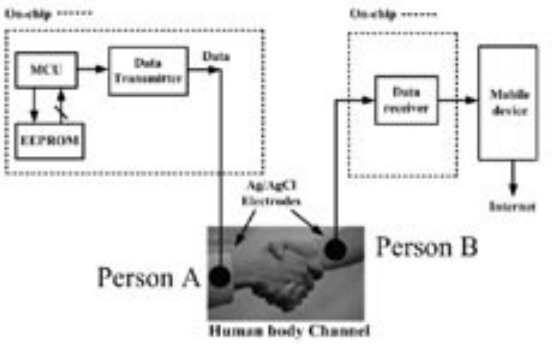
莊誌逞、葉凱文 台灣大學電子工程學研究所

指導教授

呂學士 老師 台灣大學電子工程學研究所

作品摘要

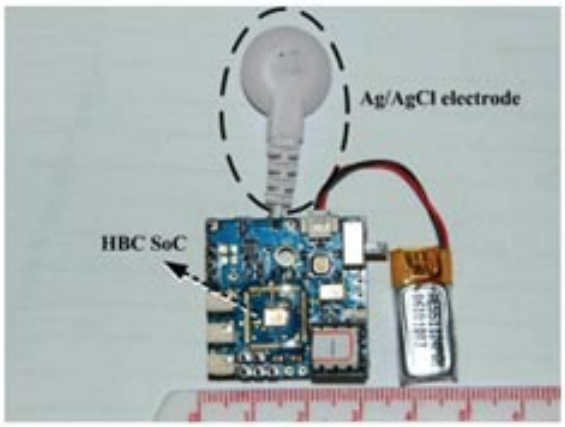
本隊基於人體乃一導體之事實，提出以人體皮膚作為通訊傳輸介質的「有線個人區域網路」應用。日常生活中常有交換名片的需要。使用近身通訊的技術，只要兩個人握握手，就可以交換彼此的名片資料，省去了存放及整理一般紙本名片的麻煩。數位化之名片資料乃儲存於裝置之記憶體(EEPROM)中，當兩人握手時，名片資料即藉人體由一方之手持裝置傳輸至另一方之手持裝置中（見圖1）。用於傳輸之裝置乃自行開發之系統單晶片(SoC)，並且利用此晶片開發出一模組(見圖2)進行各式應用，目前已實做的有握手交換名片以及畫廊導覽系統。



■ 圖1. 近身通訊名片交換系統

Abstract

Since human body acting as the transmission medium has lower power loss than the air, human body communication (HBC) technique is preferred for the body area network. One of the HBC applications is the personal information exchanging system. Instead of traditional personal information cards, we can exchange our personal information by hand shaking efficiently with the proposed HBC SoC modules in Fig. 1. The SoC HBC module including a microprocessor, a data transmitter, and a receiver, is depicted in Fig. 2. When we shake hands with each other, the personal information will be transmitted by the human body channel. The Ag/AgCl electrodes are attached to the skin for data transmission, and a personal digital assistant (PDA) or mobile devices with a HBC receiver can display the transmitted data. Another presented application is the gallery guide system.



■ 圖2. 近身通訊系統模組

application A8-018

作品名稱

數位情境點餐體驗系統

Digital Environment for Ordering Experience System

隊伍名稱

轉動奇蹟 The miracle of rotation

隊　長

賴冠融 成功大學電機工程研究所

隊　員

高培善 成功大學電機工程研究所

李易叡 成功大學工業設計研究所

柯秋薇 成功大學創意產業設計研究所

指導教授

林志隆 老師 成功大學電機工程學系暨研究所

作品摘要

數位情境點餐體驗系統，其結合了許多現今科技，將無線射頻辨識技術(RFID)、無線藍牙傳輸(Bluetooth)、個人數位助理(PDA)、影像辨識系統合而為一，發展出一套顧客專屬的餐點系統，建立一套自行研發的藍牙與PDA和Server端通訊軟體，開發顧客專屬資料管理的無線化，建立無線系統的整合與創新應用。利用普通網路攝影機，搭配影像辨識軟體，讓顧客擺脫傳統點餐模式，只需要拿起桌上之調味罐，即可透過旋轉調味罐來選擇觀看所有菜色選單。結合單晶片和藍牙無線傳輸模組，當您還再虛耗等餐過程中，將啓動人機互動遊戲介面，三五好友此同時拿起餐桌上的調味罐體驗著互動趣味遊戲，希望能透過此應用帶來更和睦的人際關係。

整個點餐服務從個人化至開始點餐介面，並且延伸至整個餐飲消費服務過程，讓顧客完全自在地融入實至如歸與點餐環境的體驗之中，不僅提高餐廳附加價值，更可帶給顧客全然不同的體驗感受。

Abstract

The proposed personal ordering system integrates RFID, Bluetooth, a PDA, an image-recognition system, and personal computer as the server. Also, the proposed system has communication software for Bluetooth, PDAs and server to transmit customer data wirelessly. This study constructs a wireless system integrated with innovative applications. This work uses a common internet camera with image-recognition software to disengage the customers from traditional ordering process. As long as taking up the caster, customers can look and change the menu contents on the display by rotating the caster. When waiting for a service, the system can start a human-machine interactive interface that integrates microprocessor and Bluetooth wireless transfer modules. Diners can use the casters to play interesting interactive game at the same time. Finally, this application should generate harmonious interpersonal relationships.

The ordering process is started by customers via the ordering interface which is extended to all the restaurant services processes, allowing customers to feel completely comfortable and experience the proposed restaurant environment. The system not only increases the restaurant value, it presents a different experience to customers.

application A8-023

作品名稱

嵌入式熱感串流影像擷取系統之性能提升

Performance Enhancement of an Embedded Surveillance System with Video Streaming Recording Triggered by an Infrared Sensor Circuit

隊伍名稱

鄧林古趙隊 TLGC

隊　長

鄧涵 天主教輔仁大學電子工程所碩士班

隊　員

林新恩、古義德、趙偉淳

天主教輔仁大學電子工程所碩士班

指導教授

白英文 老師 天主教輔仁大學電子工程系

作品摘要

本專題提出一種針對家庭監視系統的解決方案，強化焦電型紅外線感測電路，以提高感測靈敏度以及感測距離。此系統家庭視訊監視功能亦兼具以下特點：

1.以嵌入式系統來實現區域監視系統

利用嵌入式系統可執行網路連結功能、低功率消耗、體積小、且成

本低，另外也提供日後可以SoC化等優點，來建構整個監視系統，

並在系統上建立網頁伺服器，利用網頁瀏覽方式提供所監視現場的

即時畫面給使用者。

2.外部紅外線感測器感測環境溫度變化偵測人體

我們利用焦電型紅外線感測器來偵測人體經過，觸發訊號輸入嵌入

式板的I/O當作中斷，並且執行Camera擷取即時畫面。此機制可以

達成縮短儲存影像區間，降低記憶體使用長度。

3.提升焦電型紅外線感測器的感測準確度

由於焦電型紅外線感測器對於周遭溫度的變化不是很敏感，在環境

溫度較高的情況下也存在較高的誤動作率，因此我們提出了一種"多

數決投票機制"的方式，利用一群感測器當作一個感測群體，當此群

體過半數的感測器都發出觸發訊號，才對嵌入式板送出外部中

Abstract

In this project, we propose a design for a home surveillance system which enhances the pyroelectric infrared sensor (PIR) circuit. In addition, we promote the sensing sensitivity and sensing distance. Following are the features of the embedded surveillance system.

1. Implement the home surveillance system with embedded system

There are many advantages of using an embedded system design, e.g. low cost, low power consumption, small size and an on-chip system. Besides, we can construct the Boa Web server in the system. The users can monitor the surveillance area by means of the real-time images captured by a webcam via Internet.

2. Use PIR sensor to detect human body by the variety of environmental temperature

The system detects a human body by means of external PIR sensor circuit. When the signal is triggered, it will be seen as an interrupt input to the I/O of embedded board. At the same time, the system will capture real-time images. In this way, it can avoid wasting any memory used to store images.

3. Promoting the sensing stability of PIR sensor

The PIR sensor has higher error detection as the environment temperature becomes higher. Therefore, we propose a "Majority Voting Mechanism" using several sensors as a sensor group, if more than half of sensors in the group are triggered, the sensor majority circuit will transmit a trigger to the embedded board to activate stability enhancement.

4. Enhance the quality of captured images by using light controller module

The environmental illumination near the surveillance area is variable. When the illumination is weak, it will cause a digression of the capturing quality. Therefore, we avoid any environment illumination affecting the capturing quality. We implement the light controller to judge the illumination and control the light in the surveillance area.

Application A8-034

作品名稱

具視覺可移動式之投球機器手臂

A Vision-based Mobile Pitching Robot Arm

隊伍名稱

黃金手臂 Golden Arm

隊　長

謝宜立 台灣海洋大學電機工程學系碩士班

隊　員

羅健洲 台灣海洋大學電機工程學系碩士班

指導教授

鄭智湧 老師 台灣海洋大學電機工程學系

作品摘要

本作品主要利用壓克力板設計機構並配合數個AI-1001伺服馬達建構一個仿造人的手臂的投射系統，再用Borland C++ Builder的軟體所撰寫控制指令，透過串列埠傳輸至每一顆AI伺服馬達上，來控制機器手臂的運動。為了讓機器手臂具有視覺，進而像一般的投手一樣，因此加上了視訊攝影機，將影像資料擷取到電腦上，進行影像處理並加以分析後，得到我們想要的資訊後，進而下達指令控制機器手臂，使其更具有智慧並更精確有效的將球投向目標物。為了讓機器手臂更加的靈活，將機器手臂裝在自走車上，使其可自行移動與瞄準。目前系統的測試功能包括靜態與動態實驗。靜態目標為縮小版的九宮格。動態目標為浮球，浮球是利用吹風機將保麗龍球吹向半空中，將吹風機固定在遙控自走車上，其利用8051及RF模組所組成，便可控制浮球的位置。

Abstract

This work mainly investigates the construction and control of a robot arm, powered by several AI-1001 servomotors, in order to mimic a human arm's motion. The robot arm is controlled via Borland C++ Builder codes, which are transmitted by RS232 to each AI motor. In order for the robot arm to have the vision capability, like a human pitcher, a CCD webcam is added to capture target image. After image processing and analysis, controller can compute and then issue the motion commands to the robot arm. The vision system helps promote system's intelligence and improves pitching precision. Furthermore, placing the robot arm onto an autonomous vehicle increases its mobility. Two experiments are performed to demonstrate its ability. The static target is 9 prearranged rectangles. The dynamic target is an air-floating ball, which is kept in midair using a blower. The blower is fixed on a remote-controlled car, consisting of AT89S51 and RF, and can control the ball trajectory.

application A8-044

作品名稱

單晶片設計之掌上型5.1聲道100W大功率全數位D類音頻擴大機

A Palm-Size 5.1-Channel 100W High-Power Fully-Digital Class-D Audio Amplifier with Single-Chip Design

隊伍名稱

掌上百瓦 100W-in-Palm

隊　長

楊健忠 成功大學電機工程研究所

隊　員

劉家銘 成功大學電機工程研究所

指導教授

郭泰豪 老師 成功大學電機工程學系暨研究所

作品摘要

傳統上實現5.1聲道大功率音頻擴大機為使用多顆晶片且需大體積散熱裝置，因此目前市面上尚未見到縮小至可攜式甚至是掌上型的大功率音頻擴大機。掌上型5.1聲道音頻擴大機具有容易攜帶與移動的優點並可以方便地連結裝置來提供環繞音效，是一個具發展潛力的產品。本團隊運用自有之技術歷經多年時間後成功地將控制電路、訊號處理電路、保護電路與5.1聲道數位輸入D類功率放大電路整合於單一晶片，並使用此單晶片配合相關零組件與可程式化的微控制器 (micro controller) 完成一個掌上型5.1聲道大功率音頻擴大機。

本團隊所成功開發的5.1聲道掌上百瓦音頻擴大機總方均根 (root-mean-square, RMS) 輸出功率為100瓦特且功率效率 (power efficiency) 達88% 可以不需額外散熱片，所使用的雙層電路板含零組件後體積僅僅為12cm x 10cm x 3.5cm。總諧波失真 (total harmonic distortion + noise, THD + N) 可低至0.045%，於100瓦特方均根輸出功率時的THD + N亦小於0.3% (國外知名產品在最大輸出功率的THD + N一般為1%或10%)，使用業界常見量測標準所得的訊號雜訊比 (signal-to-noise ratio, SNR) 與動態範圍 (dynamic range) 均大於90dB。量測數據顯示本團隊所完成的作品不僅體積極小且效能超越相同瓦數的國外知名品牌產品並可媲美高級音響的性能。

Abstract

Traditionally, a 5.1-channel audio amplifier with large output power includes several chips and a large heatsink. Up to now, portable or even palm-size 100W amplifiers are not commercially available. A palm-size amplifier can be easily carried and connected to multimedia sources. It is a product with great market potential. Our team members develop new techniques and spend many years to successfully integrate control circuits, signal processing circuits, protection circuits and 5.1-channel digital class-D power-amplification circuits in a single chip. By using this single chip, a 100W-in-Palm 5.1-channel audio amplifier is realized.

The total root-mean-square (RMS) output power of the amplifier is 100W. The maximum power efficiency is 88% and no extra heatsink is needed. The dimension of a 2-layer printed circuit board used in the 100W-in-Palm amplifier is only 12cm x 10cm x 3.5cm. The minimum total-harmonic-distortion-plus-noise (THD + N) is 0.045% and the THD + N measured at 100W RMS output power is less than 0.3%. For the products with famous brands, THD + N at maximum output power is usually 1% or 10%. The signal-to-noise ratio (SNR) and dynamic range measured with commonly used standards in audio industry are higher than 90dB with A-weighted function. The measurement results reveal that the 100W-in-Palm amplifier achieves smaller volume and better performance than those of the famous-brand products with the same output power. Moreover, audio fidelity of the 100W-in-Palm amplifier is comparable to high-end audio amplifiers.

Application A8-080

作品名稱

高對比低雜訊虛擬高動態範圍影像合成之即時顯示系統

A Real-Time Display System for Generating High-Contrast, Low-Noise Virtual High Dynamic Range Images from Low Dynamic Range images

隊伍名稱

HDR魂!!! HDR Power!!!

隊　長

陳志榮 清華大學資訊工程學系

隊　員

柯瑋明、蔡昆哲、莊震宇

清華大學資訊工程學研究所

指導教授

邱瀞德 老師 清華大學資訊工程學系

作品摘要

自然世界的亮度範圍能夠達到100,000,000:1，但由於多數螢幕顯示裝置皆只能夠表示100～1000：1的範圍，這樣的差異造成要在螢幕顯示真實世界的景象是很困難的。為了解決這類問題，現今已開發一些能夠藉由低動態範圍影像的偵測器來取得高動態範圍影像的技術。其中最顯而易見的方法是從利用不同的曝光條件連續獲得同樣場景的多張影像，然而這類的方法只適用於靜態景象，能夠應用的範圍不廣。另外，針對多重影像偵測器或是具有單一相素多重感應器元件的部分，現今也有許多研究者在做研究，用這種方法能使物件可以在擷取及處理過程中任意移動，然而此技術無法普及的主要原因是其製造成本非常昂貴。

至於高動態範圍影像產生後，如何能夠在LCD或CRT等傳統顯示器上維持高動態範圍的品質變成一個很重要的議題。色調對應即是解決如何將高動態範圍影像在維持人類視覺所見內容的前提下顯示至低動態範圍顯示器中的一種影像處理演算法，但是一個設計良好的色調對應演算法其計算複雜度相當高，很難即時處理。

在我們設計之系統中，我們使用單一張低動態範圍影像來產生多張具有不同平均亮度、曝光程度不同的低動態範圍影像，接著利用權重平均的方法虛擬地建造高動態範圍影像，建造完之後會有一些雜訊產生，因此我們發展了一套適應性演算法去偵測自動的定義雜訊程度，並藉其決定雙邊過濾器的參數後，將雜訊影像送進雙邊過濾器處理。最後我們採用區域性對比增強演算法來得到最終之近似高動態範圍影像、低雜訊、與細部增強之影像。

我們設計的系統是fully pipelined並在ARM926EJ-S Versatile平台做測試。由於沒有複雜的色調對應演算法，我們能夠即時地處理720x480解析度、30MHz的影片，能夠直接應用在現今的監視器系統中。

Abstract

The luminance range of natural world can reach 100,000,000:1 but that of displayed luminance is about 100~1000:1 for most screen devices. This discrepancy makes the accurate display of real world scenes difficult. Therefore, technologies for capturing a high dynamic range (HDR) image with a low dynamic range (LDR) detector have been developed. The most obvious approach is to sequentially capture multiple images of the same scene using different exposures. The above methods are suitable only to static scenes. Using multiple image detectors or HDR sensors for scene capture has been investigated. Under this approach, the scene objects and the imaging system are free to move during the capture process. However, the HDR detectors or sensors are very expensive and not popular in the market.

After the HDR images are produced, to maintain the quality of high dynamic range on the display of conventional LCD or CRT devices becomes an important issue. Tone mapping is an image processing algorithm to resolve the issue of rendering HDR images on LDR displays while preserving the visual contents. But the complexity of a delicate tone mapping algorithm is too high to achieve real-time processing.

In our work, we make use of a LDR photograph to generate multiple LDR images with different average luminance, and then we construct the HDR photograph with weighting average method. After the HDR photograph has been created, some noise has been also generated. Therefore we develop an adaptive algorithm to estimate the parameters of the bilateral filter so that the noise level can be determined automatically. Finally, we adopt the local contrast enhancement algorithm to get the final HDR-like, low-noise, and detail-enhanced image.

Our design is fully pipelined and has been tested on ARM926EJ-S Versatile Platform. Without complex tone mapping algorithms, we could process a image with 720×480 resolution, 30MHz in real-time.

Application A8-082

作品名稱

結合路口交通資訊與GPS定位之主動式導航系統

An active navigation system based on the traffic information of intersections

隊伍名稱

暢快到底 Quick and Safe

隊　長

陳盈翰 交通大學電機與控制工程研究所

隊　員

高志忠、林仕偉、劉治君

交通大學電機與控制工程研究所

指導教授

吳炳飛 老師 交通大學電機與控制工程學系

作品摘要

本作品結合了即時路口交通資訊及影像、全球衛星定位系統與地圖資訊，提供駕駛者避開壅塞路段的規劃路徑，可直接觀看路口的即時串流影像以及透過行動裝置隨時掌握愛車位置。本作品主要是架構在兩個系統間，一是整合道路壅塞資訊與GPS定位資訊並主動規劃路徑的車內系統，二是以獨特影像處理技術偵測交通車流資訊並可傳送路口影像的路口系統。車內系統負責整合目前的路口壅塞資訊與GPS定位資料，並藉助地圖資訊規劃路徑以幫助駕駛者避開壅塞的路段，當然，規劃的路徑也會隨著所接收到即時路口壅塞與否的不同而即時的更新。而在路口系統部份，除了傳送路口壅塞與否的資訊之外，透過網路連線的幫助，還能提供此路口的即時影像串流，駕駛者除了能利用車內系統的螢幕來觀看外，不在車內的駕駛者甚至也可以利用行動裝置來觀看，真正達到行前準備的目的。而在安全防護方面，在車內系統裡具備了擷取位置與影像的資訊，除了將目前車輛的位置以地圖的方式傳送至使用者的行動裝置，更可以傳送目前車內的實況照片，真正讓您掌握車子的位置與實際狀況，除了讓竊賊無所遁形外，也可在平日透過此功能來瞭解家人外出的情形，讓您在家放心，出門不擔心。

Abstract

The system integrating the real-time traffic information, GPS and the digital map is proposed. The shortest path on the map with good traffic conditions and the real-time streaming images from the intersection are provided to the driver. Furthermore, the driver can receive the images inside the car and the position on the digital map easily with his/her mobile phone. Our system is integrated by two sub-systems, one is an Embedded Navigation Platform (ENP) and the other is a Road-Side Unit (RSU). The main function of ENP is to provide the driver a shortest path to the destination by combining the real-time traffic information and the position form the GPS receiver. ENP calculates a new route based on the receiving traffic congestion data associated with the calculated route. On the other hand, RSU detects the traffic flow in all kinds of weather from day to night. The traffic congestion data and the real-time images in the intersection are transmitted to ENP in the vehicle over 3.5G/3G network. Moreover, the real-time intersection images are also available with the mobile phone so that the driver can acquire the the traffic status of the road in advance. For safety's sake, ENU records the car's position and the images inside the vehicle and transmits them to the user's mobile phone. Therefore, the user can monitor the vehicle's status anytime and anywhere.

Application A8-098

作品名稱

追風少年之溜冰機器人

The Speed-skating robot

隊伍名稱

冰上悍將 Blades of glory

隊　　長

胡越陽 淡江大學電機工程學系研究所

隊　　員

陳顥哲、伍寒楨 淡江大學電機工程學系機器人研究所

趙凱泓 淡江大學電機工程學系

指導教授

翁慶昌 老師 淡江大學電機工程學系

作品摘要

本作品完成一個可以遙控以及自主導航的溜冰人形機器人，可以實現向前滑行、向左滑行、向右滑行與穿著輪鞋進行爬起等高難度動作。本作品之系統元件示意圖如圖1所示，其使用CMOS感測器、加速度計、NIOS II發展板、伺服馬達、藍芽傳輸模組、與壓力感測器等硬體元件。在溜冰機器人的自我平衡上使用壓力感測器以及三軸加速度計，藉由模糊控制器分別控制踝關節及髖關節之自由度，讓機器人能夠藉由這兩個維度之調整達到自我平衡之目的。溜冰人形機器人之動作則是透過自行開發的人機介面來設計調整，包括：前進、向左滑行、向右滑行與爬起等基本動作。此外，人機介面上還可以接收感測器回傳的資訊，讓使用者可以了解機器人運作時的狀況。

本作品設計了一個藍芽控制介面，用以執行機器人的自主導航模式與遙控模式。本作品之自主導航功能藉由COMS感測器的影像資訊讓機器人能夠沿著白線自主導航，讓機器人的實用性更高。遙控模式則讓我們可以遙控機器人的動作，使其具有娛樂之效果。本作品運用到相當多的技術，藉由這些技術的開發與整合才能完成我們的溜冰機器人系統。

■ 圖1、系統原件示意圖

Abstract

A skating robot is implemented in this project. The proposed skating humanoid robot can not only be controlled via Bluetooth, but also navigate by itself via vision system. Several difficult skating motions are built on the robot such as, slide forward, slide left, slide right and getting up.

This project implements the robot from the skating view point, which is different from the normal walking motions. Most of the researches of the biped robots are about how to implement the walking motions, such as walk and turn. The proposed robot is able to skate.

The used components of the driving system in this robot are displayed in Fig. 1. There are many electrical components including CMOS sensor, accelerometer, servo motors, Bluetooth component, and force sensor are mounted on the robot. The main processor of the robot is a Nios II. The motion of the skating humanoid robot is designed by using the user interface. A series of basic motions are designed for skating. These motions include slide forward, slide left, slide right and getting up.

A fuzzy controller is designed to control the ankle joint and hip joint by using the pressure sensor and accelerometer data. The robot with the fuzzy controller is able to auto balance by adjusting ankle joint and hip joint. An interface is implemented to transmit the sensor information to the users. It makes the users to understand the robot situation easier.

The robot can be set to the remote mode or the auto-navigation mode. When the robot is in auto-navigation mode, it is able to skate along white line autonomously. The robot uses the CMOS sensor to detect the white line. The robot is also able to be remote to do different motions in remote control mode via Bluetooth. The project integrates many different technology areas to implement this system, besides the experiment video shows that the system works very well.

application A8-101

作品名稱

閃電儲存—超高速佇列

Lightning Buffer - Ultra High-Speed Queue

隊伍名稱

張三李四 Nobel mind

隊　長

關宏時 清華大學通訊工程研究所博士班

隊　員

陳俊曄 清華大學資訊工程學系研究所

古竹生、盧志憲 清華大學通訊工程研究所

指導教授

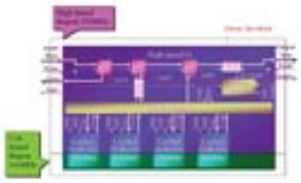
李端興 老師 清華大學資訊工程學系

作品摘要

在網路中，FIFO佇列常常用來對封包進行暫時的儲存。通常在市面上所能購得的SRAM，最高的存取速率約為40-Gbps，而可儲存的資料量僅為72-Mbits，若是採用儲存量較大且較廉價的DDR SDRAM作為緩衝存儲器，則因其存取速率較慢的緣故，而減慢了封包在網路中的傳遞。

若透過本計劃中所提供之存取速率高達40-Gbps，而儲存量達2-Gbits超高速佇列(High Speed Queue)，則能在傳輸速率及儲存量兩方面皆得到更佳的使用效能。

■ Figure 1. Sonet-based FIFO Architecture



■ Figure 2. High Speed Queue Configuration

上圖所示為「超高速佇列」的系統架構及內部結構。系統由最左方的Packet Generator產生HDLC Frame 封包，並向右傳送至Boundary Detect進行檢查，當檢查器確認此封包為「有效封包」，則將它與一「Write」訊號一起往「High-speed　Queue」傳遞。當佇列模組收到為「Read」的讀出訊號，則將排序到的封包自佇列模組中依序讀出。

如Figure　2所示，我們在佇列串接一個高速的SRAM。當SRAM快存滿資料時，會將續之而來的封包依序轉存至多條存取速率較慢的DDR　SDRAM，讀取時，則依進入時間早晚順序讀出已儲存的封包至SRAM中進行補充。如此我們便可透過結合快速SRAM與慢速DRAM，進而創造出容量遠大於SRAM，且速度極快的佇列。而我們所著眼的重點即在於如何透過正確的控制訊號及時脈規劃，將依序進來的每一個封包傳遞至正確的位置儲存，並從指定的位置依序讀出。

Abstract

Optical Internetworking Forum (OIF) has defined a series of OC-768 (40Gbps) specifications. IEEE is paving roadmap to 40Gbps options for Ethernet networking. An official task group will be set up to start writing specifications in March, 2008. Although OIF has already defined the implementation agreement for the link layer in September, 2002. Recently, Intel Research lab demonstrated the first 40 gigabit per second silicon laser modulator in July, 2007. This makes OC768 network achievable. However, the memory speed is expected to be the bottle neck to throttle high-speed links' performance. Our previous research results present an approach to dump optical packets from a small high-speed optical buffer to a larger slow-speed optical buffer. This approach is ideally applied into the high-speed queue design. For the current technology, chip clock is possible to support 400MHz, but the cost is expensive and the size is limited. In contrast, DDR SDRAM is the most popular economic massive storage, but the speed is only capable to support the data rate bellow 5.5Gbps for read and write operation at the same time. Thus we try to integrate these two types of memory to provide economic high speed massive FIFO queue. Assuming the input and output traffic rate is R, on-chip memory immediately distributes this traffic to the relative slow low speed memory with rate R/K. The other side on-chip memory then aggregates this traffic from low speed memory and provides traffic out with rate R. However, rate mismatch between different speeds of memory is a challenge. What we need is a dual port memory with two independent clocks to interface between these different speeds of memory. Fortunately, in the FPGA, we have a special block memory meets our requirement. Then we can apply this memory to interface between different speeds of memory. Our focus is to build a high speed FIFO queue that is capable to support 40Gbps. Thus we need to at least 8 parallel sets of DDR SDRAM. In this approach, system could support traffic up to 40Gbps.

application A8-108

作品名稱

魔鏡

The Magic Mirror

隊伍名稱

科科科科男 KKKK Boys

隊　長

鄭朝鐘 台灣大學電子工程學研究所

隊　員

蔡一民、張靖瑩、王子恆

台灣大學電子工程學研究所

指導教授

陳良基 老師 台灣大學電子工程學研究所

作品摘要

創作動機

當顯示器技術越來越成熟，顯示器也可以不再是顯示器!!如果有個可以「看穿」一切的技術，能看穿牆壁、看穿障礙物，看到阻隔物後面的美景，滿足人們的想像空間那該有多好。藉由晶片設計、視訊影像處理技術和顯示技術的精進，我們能將此「看穿」一切，將物體「透明化」的夢想實現!!

系統簡介

隨著影像技術越來越成熟，我們利用攝影機(Camera)取得顯示器或牆壁後的影像，利用視訊影像處理技術還原人眼看到的真實場景!!。我們整合視訊影像處理技術、運算加速之硬體架構設計和顯示技術成一系統。視訊影像處理技術包含幾個技術：影像擷取(Video Capturing)、視訊影像無縫合成(Video Seamless Warping)、深度估算(Depth Estimation)與視角合成技術(View Interpolation)。

首先藉由影像擷取取得位在顯示器後的二維場景影像，系統中運用至少兩個攝影機(Camera)，因此系統有至少兩個影像輸入(Stereo Input)，模擬多個視角。同時我們藉由使用者觀看顯示器的視角資訊來生成要在該視角顯示的畫面。而為了使得使用者觀看螢幕上的影像時，能感覺此螢幕上影像是和周圍場景無痕縫連接，因此利用視訊影像無縫合成技術(Video Seamless Warping)處理取得影像和真實環境的接觸邊緣。而真實場景和二維畫面最大差異在於深度資訊的取得，系統加入深度估算技術與視角合成技術。

而在硬體方面，要達到即時(Real-time)運算，視訊影像無縫合成技術和深度估算等核心技術所需運算量太大，以CPU並無法負荷，因此我們的系統將利用所設計之ASIC或FPGA來加速運算，至少達到30fps的運算量。整個系統組成包含顯示器、攝影機以及硬體架構部分(Hardware Architecture)。

Abstract

Motivation

Nowadays, display technology has become mature. If there is a technology helping us to see the beautiful things behind barriers, it will be a wonderful dream. With circuit design knowledge, video signal processing technology, we can realize the "see-through" technology and we can make all objects become "transparent"!

System Overview

With video/image signals processing technology, we use cameras to capture video/image signals from the real world. That is, if a viewer stands in front of a monitor or a display, the system uses cameras to capture scenes behind the display and then shows the captured images with proposed "transparent" reconstruction procedure.

Firstly, the system utilizes at least two cameras for capturing. Then the system generates different reconstructed images according to the viewing positions of the viewers. To make viwers feel that the reconstructed images have seamless connection to real surroundings, we then derive "Video Seamless Warping" to handle stitching problems and to find the best matches between the captured images and the real scenes. Besides, for 3D issues, the biggest difference between real scenes and two-dimensional images is depth information; the system also supports 3D videos/images by depth estimation.

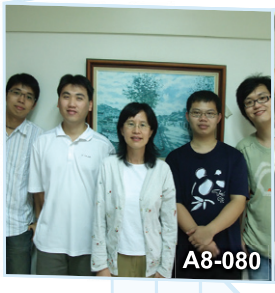
For hardware architecture issues, seamless video warping and depth estimation need high computing power, but CPU solution cannot afford such real-time processing. Thus, we design ASIC/FPGA to speed up the calculation and realize the proposed algorithms in real-time, that is, at least 30 fps. Totally speaking, the whole system includes monitors/displays, multiple cameras and the parallel hardware framework with ASIC and a FPGA platform for demonstration.

優勝獎隊伍


A8-023

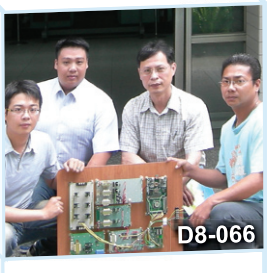

D8-006


A8-004 & D8-009


A8-080


D8-050


D8-064

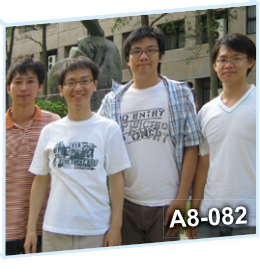

D8-066


A8-098

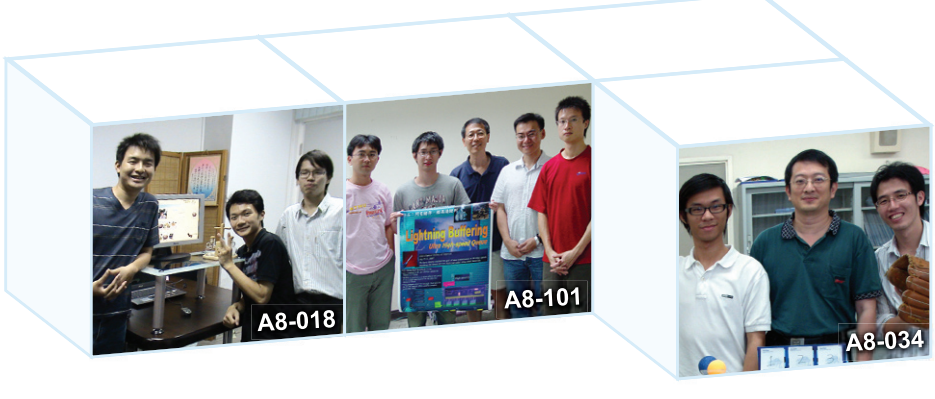

D8-019


D8-062


A8-108


A8-082


A8-044
D8-053
D8-101
D8-008


A8-018
A8-101
A8-034

這是一場全國電機、電子、資訊高手競逐的比賽
更是一場腦力、實力與團隊能力的考驗

看到你們對於這項比賽的重視　聽到你們對於指導老師的感謝
這般努力突破困難的過程　這樣並肩作戰的情誼　以及完成的喜悅
這場長期奮戰　無論結果
成果 你們已經獲得

從激烈的挑戰中　領會競爭的真諦
於是
人生的舞台上

成功開始有了起點

2008 旺宏金矽獎
8th Golden Silicon Awards
第八屆半導體設計與應用大賽

執行單位

財團法人旺宏教育基金會
張宜如、趙書筠、胡燕霞

發行人： 吳敏求
編輯總監： 張宜如
總編輯： 趙書筠
發行所： 財團法人旺宏教育基金會
電話： (03)666-3168
傳真： (03)666-3169
地址： 新竹市科學園區力行路16號

旺宏電子股份有限公司
財團法人旺宏教育基金會
www.macronix.com