

# Design Group

## D11-119

### 作品名稱

適用於高速傳送接收機之每秒50億位元類比等化器  
A 5Gb/s Analog Equalizer for High-Speed Serial-Link Transceiver

### 隊伍名稱

嘿嘿嘿 HaHaHa

### 隊長

蔡玉章 中央大學電機工程研究所



### 作品摘要

近年來由於網路和處理器快速的發展，使得快速傳輸大量資料已成為傳輸系統的主要動機，因此傳統的平行匯流排逐漸的被高速串列傳輸系統所取代。從早期的USB 1.0、AGP到現在的Serial-ATA II、USB 2.0、PCI-Express II，推進到下一代的Serial-ATA III、USB 3.0、PCI-Express III...等，均利用高速的串列傳輸介面來達到快速且方便的傳送資料，在現今相關的電子產品之中也已經廣泛地運用高速串列資料傳輸技術。但是，當系統的操作頻率在Gigahertz等級時，高頻的資料經過通道之後會失真及衰減，而造成眼圖的關閉。因此我們會需要一個高速的類比等化器去補償通道所造成的損失，使得接收端可以正常的接受所需要的資料。

在此作品中，我們提出了一個低電壓的零點產生器(Low-voltage zero generator, LVZG)，其特色在於不需要使用電感就可以產生較高的增益，並且此電路可以產生可調的阻抗，以產生高增益的輸出，因此大大的降低了等化器的面積、成本與功率消耗，並且此等化濾波器具有可調增益的機制，其可以隨不同通道長度而做調整。在功率偵測器(Power detector)電路方面，我們結合了電流操控(Current steering)與預先放大器(Preamplifier)，因此其可以較傳統的功率偵測器電路產生較大的電壓輸出振幅，因此可以降低誤差放大器設計所需要的增益。

本類比等化器以0.18- $\mu\text{m}$  CMOS製程來實現，在工作電壓為1.6-V時，其功率消耗為17.6-mW(不含Output Buffer)，當晶片包含PAD時，晶片總面積為0.54- $\text{mm}^2$ ，而核心部分的面積為0.1- $\text{mm}^2$ (包含Output Buffer)，輸出峰對峰(Peak-to-peak)的抖動量為0.28-UI，因此設計的電路在面積以及功率消耗上均呈現較好的結果。在等化濾波器方面相對於傳統的等化器僅僅只需要使用一級即可達到增益範圍4~16 dB。

### 指導教授

鄭國興 中央大學電機工程學系

- 鄭教授於1985年取得中央大學電機工程學系學士學位，分別於1987和1992年取得交通大學電機資訊工程所碩、博士學位。
- 於1993-2003期間出任淡江大學副教授一職，在2003年轉任教於中央大學並出任電機工程學系教授迄今。學生期間的鄭教授即致力於發展高效能的數位積體電路和系統，並於1992-1993期間擔任國家工業研究院晶片製作中心的副研究員。鄭教授發表了超過100篇以上積體電路相關的IEEE技術論文，並擁有4個積體電路相關的專利。
- 研究領域：包含低電壓/低功率消耗的混合訊號積體電路和系統，時脈同步電路和應用於有線傳輸的極高頻混合訊號電路。



### ABSTRACT

In the recent years, the network and processor have developed quickly. The main motivation of the transceiver is to transmit a lot of data quickly. Therefore, the conventional parallel buses have been replaced gradually by the high-speed serial link transmission system. From the early stages, the USB 1.0 and AGP to the present stage, Serial-ATA II, USB 2.0, and PCI-Express II, to the next stages, Serial-ATA III, USB 3.0, PCI-Express II, they are used high-speed serial link interface to transmit data quickly. In the related electrical products, the high-speed serial link transmissions are used popularly. However, the system operates at gigahertz frequency; the data of the high frequency component pass through the channel will distort and degrade. The eye diagram will be closed. Therefore, a high-speed analog

equalizer can be added to compensate the channel loss. The receiver can receive the data normally.

This analog equalizer was fabricated in 0.18- $\mu\text{m}$  CMOS process. The design consumes 17.6 mW (excluding the output buffers) at a 1.6 V supply voltage. The area occupied is 0.1  $\text{mm}^2$  (including output buffers), and output peak-to-peak jitter is 0.28 UI. The equalizer achieves high frequency compensation, small area, and low power consumption. The proposed equalizing filter can generate high frequency gain boosting without cascading filter stages. The equalizing filter can achieve 4-16 dB gain boosting with only using one stage.

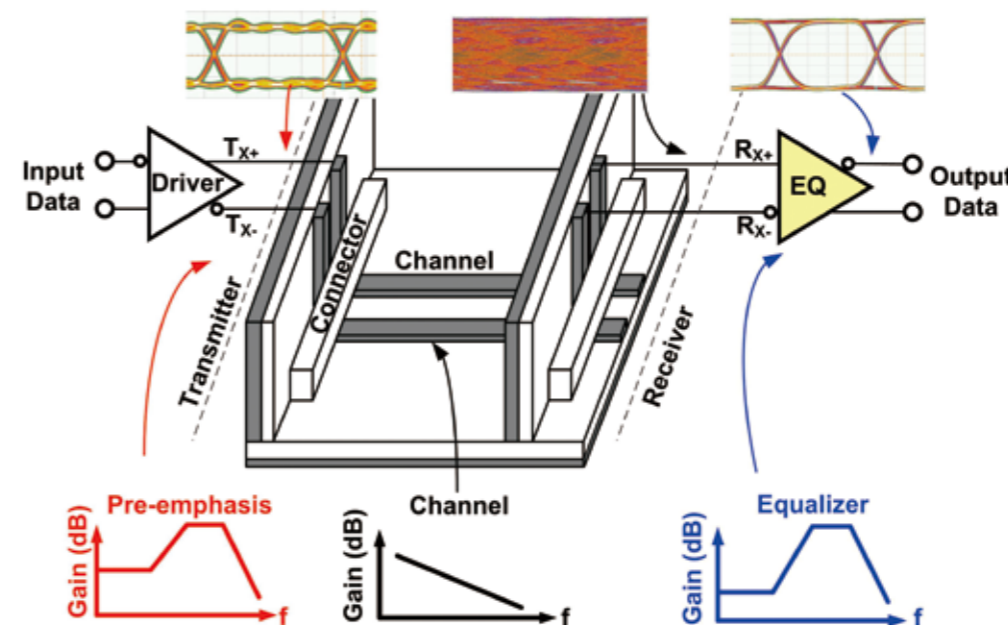


Fig.1 The analog equalizer can compensate the channel loss in the high speed transceiver.