

D12-041

作品名稱
具隨機旋轉電流源之極精簡高效能數位類比轉換器
A Compact High-Performance Current-Steering DAC with Random Rotation Current-Source Sequence (RRCS)

隊伍名稱
小晶立大功 / Tiny DAC

隊長
林韋德 成功大學電機工程學研究所



作品摘要

電流汲取式為高速高解析數位類比轉換器最常採用的設計架構，其高解析設計易受到電流源不匹配 (mismatch) 而影響線性度。電流校正技術 (calibration) 是減少電流源誤差的方法之一，但其卻有設計複雜度高及總體面積效率下降的缺點。動態元件匹配技術 (DEM) 可同時大量減少電流源面積及降低 mismatch 對線性度的影響，藉由隨機選擇電流源將階波失真分散至雜訊平面可改善 SFDR，但複雜的隨機選擇控制電路同樣將增加設計複雜度與成本。因此我們將在本作品提出一個創新的動態元件匹配技術，將應用於低成本、低功率消耗及高性能指標 (FOM) 的數位類比轉換器，以供可攜式通訊/無線網路之傳輸系統使用。

我們所提出的隨機旋轉電流源 (RRCS) 方法不採用溫度碼，僅用二元權重架構以節省更多的數位電路成本。RRCS 除了有效改善電流源採用小面積所造成的 mismatch 問題，也同時改善了中間碼轉換 (mid-code transition) 所造成的突波 (glitch) 問題，在輸入訊號接近 Nyquist 頻率時，比起傳統二元權重架構的電流源切換率 (switching rate) 最多可降低 22%，故能得到較佳的動態性能。系統經過『性能-成本最佳化』，採 4R+4R+2C 分段 (segment)，不僅數位電路具低複雜低成本特性，類比電路亦以接近最小面積實現。

以 TSMC 0.18 μ m CMOS 製程，設計 10 位元取樣率為 500MS/s 之 4R+4R+2C DAC。晶片的主動面積僅 0.034mm²，消耗功率 24mW，實際量測結果顯示 >60dB SFDR 頻寬至少 250MHz。與傳統二元權重架構相比，在相同製程條件，同操作電壓，同解析度下，信號頻寬提升一倍，且面積僅為最佳文獻的 10%。與近年權威期刊或研討會論文 (IEEE JSSC/ISSCC) 提出之 10-12 位元數位類比轉換器相比，本 10 位元設計具最佳的性能指標 (FOM)，不但動態性能超越 12 位元設計，面積成本更是低於 6 位元設計。以本設計方法進一步應用於 12 位元，以 40nm 實現之 3R+3R+3R+3C DAC 配合互補式電流開關驅動器 (complementary switch driver) 實現歸零技術，進一步減少高速切換下突波雜訊的影響，晶片主動面積僅小於 0.02mm²，僅為最新文獻之 2.5%。

本作品提出的 RRCS 架構，為近年數位類比轉換器之極大創新突破。

Abstract

Current-steering Digital-to-Analog Converters (DACs) are widely used in high-speed high-resolution applications; however, their linearity is severely affected by current-source matching accuracy. Calibration circuits can be used to effectively reduce the mismatch effect but have drawbacks of low area-utilization efficiency and high design complexity. The most effective approach to reduce the mismatch effect and transistor size is the dynamic-element-matching (DEM) method, which improves the SFDR by randomly spreading out the harmonic distortion over the noise floor. A DEM method for portable communication and wireless applications is proposed to offer circuit simplicity, low power consumption and high figure-of-merit (FOM) benefits.

The DEM method, random rotation current-source sequence (RRCS), offers circuit simplicity for binary-weighted coding and greatly reduces device mismatch effects. The RRCS is implemented with a simple randomizer and without binary-to-thermometer decoders to save more circuit costs. Due to randomization, as input signals approach the Nyquist bandwidth, repeated selection of the same current sources in successive input samples occurs more frequently, thus switching activity is reduced by about 22% compared to the conventional binary-weighted method, resulting in better dynamic performance.

A 10-bit 4R+4R+2C RRCS current-steering DAC is implemented with only 0.034 mm² in a standard 0.18 μ m CMOS process and dissipates 24mW under a 1.8V supply. Measured performance achieves > 60dB SFDR in the Nyquist bandwidth with 500MS/s, while its active area is less than one-tenth of that required by state-of-the-art 10-bit DACs. Its SFDR is also comparable to that of 12-bit published designs. With the RRCS method collaborated with complementary switch drivers, a 12-bit 3R+3R+3R+3C RRCS DAC is implemented in 40nm CMOS process. Its active area is less than 0.02mm², which is less than 2.5% area of state-of-the-art 12-bit DACs.

The proposed RRCS architecture is one of the most significant innovations for high-speed current-steering DACs in recent years.



指導教授

郭泰豪

成功大學電機工程學系

1988年和1990年於美國馬里蘭大學分別獲得電機工程碩士和博士學位。1992年加入成功大學電機系(所)迄今，並曾於2004~2007年借調集新科技及晶豪科技分別擔任總經理及副總經理。

研究領域

多年來研究領域主要為類比及混合信號積體電路設計，包含ADC、DAC、Delta-Sigma技術、audio codec及class-D amplifier。近年來並致力於綠能積體電路設計，包含太陽能/風力發電之最大功率追蹤、智慧型大功率馬達驅動器及高效率變頻技術等。未來將以從事前瞻科技研究，並致力於理論及實務創新為主。