

D12-004

作品名稱	內建訊雜比估測之耗能感知性時空晶格編碼多輸入多輸出檢測器 Power-Aware 4×4 Space-Time-Trellis-Coded MIMO Detector Based on State-Purging Mechanism with Embedded SNR Estimator
隊伍名稱	我愛老闆 / I Love My Boss
隊長	張晉璋 清華大學通訊工程研究所
隊員	施楷廷 清華大學電機工程學系
指導教授	黃元豪 清華大學通訊工程研究所

作品摘要 Abstract

在無線通訊系統中，時空晶格碼（Space-Time Trellis Code, STTC）結合了錯誤更正碼（Error Control Coding, ECC）與多輸入多輸出技術（Multiple-Input Multiple-Output, MIMO），提供了編碼增益（Coding Gain）和多工增益（Diversity Gain）。然而，由於 STTC 解碼器的運算複雜度極高，造成硬體難以實現。因此，我們將 T-algorithm 的狀態化簡機制（State-Purging Mechanism）應用在 STTC 解碼器中，藉此大幅降低運算複雜度。

在過去應用 T-algorithm 的文獻中，設計者通常透過模擬來決定 state-purging threshold，作為簡化 state 的依據。但在實際情況下，如果通道情況是頻率選擇性衰減（Frequency Selective Fading），也就是接收訊號的訊雜比（Signal-to-Noise Ratio, SNR）變動很大時，固定的 state-purging threshold 反而會造成編碼增益降低，或者無法有效減少耗能。因此，我們提出一套演算法，以當前通道的 SNR 作為依據，來決定最佳的 state-purging threshold，以不造成額外的編碼增益衰減為前提，有效降低 STTC 解碼器的耗能。在本演算法中，為了估測當前通道的 SNR，我們應用了嵌入式編碼輔助訊雜比估測（Embedded Code-Aided SNR Estimation）技術，根據在解碼過程中 minimum path metric 的 normalization 次數，作為當前的 SNR 估測的參考。透過本技術，STTC 解碼器能即時估測出 SNR，並決定最佳的 state-purging threshold。根據以上多項技術，在 TSMC 90nm 1P9M CMOS 製程下，我們成功地完成世界第一顆 4×4 STTC MIMO 解碼器單晶片實作，支援的最高調變為 16QAM，最高天線維度為 4×4。晶片核心面積為 0.98mm²，最高運作時脈為 83.33MHz，在 16QAM、4×4 訊雜比為 20db 的條件下，晶片耗能約為 12.2mW，而耗能降低約可達 17%。

Space-time trellis codes (STTC) combine channel coding and multiple-input multiple-output (MIMO) techniques to provide coding and diversity gains for the wireless communication systems. However, the decoding complexity is extremely high because of the high density of branch metric calculations.

Thus, this chip presents a state-purging mechanism based on the T-algorithm to reduce its computational complexity. In the proposed mechanism, an embedded code-aided (CA) signal-to-noise (SNR) estimator provides the required SNR information to determine the optimal threshold based on the count of metric normalization. The state-purging mechanism greatly reduces the complexity of branch metric calculations with negligible coding gain degradation. The chip implementation adopts the state-purging mechanism as the power-aware technique to optimize the trade-off between power consumption and coding performance. The proposed 4×4 STTC MIMO detector using 90nm 1P9M CMOS technology consumes 7.94mW to 8.70mW for the QPSK modulation, 10.02mW to 10.95mW for the 8PSK modulation and 12.20mW to 13.10mW for the 16QAM 4×4 MIMO system. The maximum power saving ranges from 13.45% to 17.62% when the SNR equals 20dB.