

13th GOLDEN SILICON AWARDS

D13-063

Low Jitter Clock and Data Recovery Circuits Using Dynamic Stepwise Bang-bang Phase Detector

利用動態階梯式二位元相位偵測器之低抖動時脈資料回復電路

隊伍名稱

讓電路飛 / Let Circuits Fly

隊長

李彥龍 成功大學電機工程學系

隊員

陳彥錡 成功大學電機工程學系
吳繼仁 成功大學電機工程學系



作品摘要

隨著半導體製程技術的快速進步以及對高速資料傳輸的需求增加，傳送與接受系統應用會越來越高速是未來的趨勢。應用有PCI-E、USB3.0、Serial-ATA III等系統，在這些系統當中所傳送的資料速度多為Gb/s的等級。然而在高速傳輸時，資料的傳送經包裝、走線、PCB板及同軸電纜等介質，會造成雜訊的干擾。當速度增加時自身信號的干擾很嚴重，也就是ISI（Inter-symbol Interference），在接收端需要一個時脈與資料回復電路（Clock and Data Recovery，CDR）從傳送的資料中萃取出時脈訊號並對資料做取樣的動作還原資料，而且為了達到低誤碼率，萃取出時脈訊號需取樣到每個資料位元的中間位置並且還原時脈的抖動（Jitter）能夠越低越好。

一般而言，時脈與資料回復電路包含相位偵測器（Phase Detector）、充電幫浦（Charge Pump）、迴路濾波器（Loop Filter）和壓控振盪器（voltage-controlled oscillator），其中所使用相位偵測器有兩種，第一種是線性相位偵測器（Linear Phase Detector，Linear PD），它輸出的脈衝寬度會正比於相位誤差大小，在系統穩定時使得整個電路迴路還原時脈的抖動比較小。但它所產生極短的脈衝訊號不利於較高速的電路操作，再加上它會有時間歪斜的問題所造成靜態的相位誤差，導致誤碼率降低。第二種是二位元相位偵測器（Bang-bang Phase Detector，BBPD），它根據相位誤差正負值產生固定的脈衝寬度，它的特點正好和線性相位偵測器相反，適合操作於高速電路，但在系統穩定時，二位元相位偵測器干擾壓控振盪器控制電壓的量比線性相位偵測器大，所以還原時脈的抖動量會比較高，導致較差的效能。在此作品中實做了一顆每秒五十億位元低功耗的四分之一速率時脈與資料回復電路，提出一簡化的相位偵測器降低功率消耗及電路複雜度。並利用了偵測相位誤差的大小，動態調整充電幫浦電流和相位內插器的權重，可以創造出具有動態階梯式BBPD的特徵曲線，繼承BBPD及Linear PD的

優點，新開發的相位偵測器既能夠實現於較高速的操作而且還原時脈具有低抖動（Low Jitter）的特性。

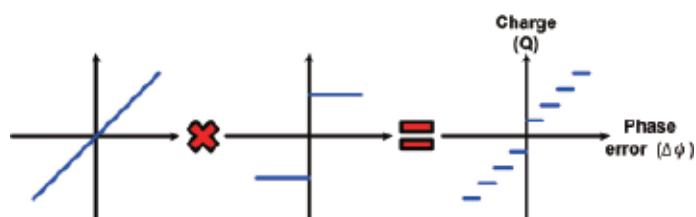


圖1 > 混和線性與二位元之階梯式相位偵測器特徵曲線

指導教授**張順志 / 成功大學電機工程學系**

張教授於 1991 年畢業於中央大學電機系，並分別於 1996 年與 2002 年在交通大學電子所取得碩士與博士學位。於 2003 年 2 月進入成功大學電機工程學系擔任助理教授，2008 年升任副教授，2011 年迄今為成功大學電機工程學系教授。教授於 2009 年至 2012 年，擔任 IEEE 固態電路學會台南支會主席。2011 年迄今兼任成功大學電機工廠主任。

研究領域

混合信號積體電路設計、測試與可測試設計及電腦輔助積體電路設計。

Abstract

With semiconductor process technology progress rapidly and enhancing the requirement of high speed transmission, the speed of data transmission system is higher and higher in the future. The data communication system operates at gigahertz frequency like PCI-E, USB 3.0, and Serial-ATA III. In high speed data transmission, the data will distort and degrade due to the package, bonding wire, PCB, or coaxial cable. The receiver contains a clock and data recovery (CDR). The CDR circuits extract the clock information from input data and retime the input data. In order to achieve low bit error rate and high jitter performance, the recovered clock sample the middle of every data bit and the jitter of recovered clock is low.

Conventionally, the CDR circuits adopt the PLL-based CDR which needs a phase detector (PD), a charge pump (CP), a loop filter, and a voltage-controlled oscillator (VCO). Generally, the type of the PD can be categorized into linear PD and bang-bang PD. The linear PD produces its output proportional to the phase error between input data and feedback clock, and the bang-bang PD returns its output according to the sign of the phase error. In contrast to bang-bang PD producing fixed pulse width, the pulse width generated by the linear PD is smaller when the CDR circuit is phase locked. However, Hogge detector, the most common linear PD in CDR circuits, has the timing skew problem (between input data and re-sampled data due to clock-to-data delay of flip flops) which introduces phase offset. On the other hand, the bang-bang PD does not have the timing skew problem because all combinational logics are preceded by flip flops. Unfortunately, the jitter performance of the CDR using a bang-bang PD is usually worse than a linear case because of its bang-bang operation which disturbs the control voltage of VCO. In this work, a 5-Gb/s 1/4-rate clock and data recovery circuit using the dynamic stepwise bang-bang phase detector is proposed. The simplified PD

reduces the power consumption and circuit complexity. The CDR adjusts the charge pump currents and the interpolation weight of phase interpolators according to the phase error between input data and feedback clock. The dynamic stepwise bang-bang PD not only enlarges the pull-in range but also enhances the jitter performance when the CDR is locked. The dynamic stepwise bang-bang PD inherits the advantages of the linear PD and inhibits the disadvantages of the bang-bang PD.

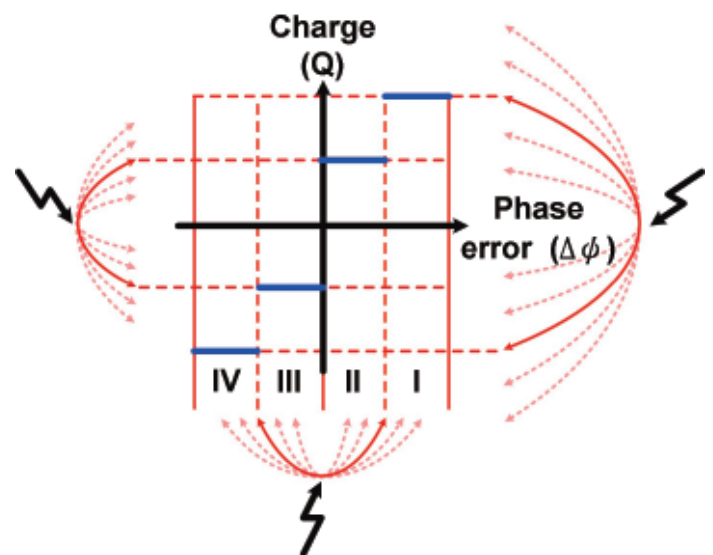


Fig.2 > Characteristic curve of dynamic stepwise BBPD