

A14-247

Low-Power System Validation Using Manageable Variable Supply Voltages Technique

使用調變電壓的
低功率電源管理技術與系統實證

隊伍名稱

倉鼠 / Hamsters

隊長

蕭安泰 逢甲大學電子工程研究所

隊員

楊翔仁 逢甲大學電子工程研究所

作品摘要

近幾年來智慧型手機和平板電腦快速發展成為市場新主流，而這些產品都有過於耗電的問題，造成使用上的不便，因此，低功率省電技術是必須的。我們提出CK-VDD技術來大幅節省電路功率消耗，使用VFA（Voltage Frequency Adjust）、FDCA（Frequency Duty Cycle Adjust）兩個晶片搭配產生配合clock信號調變的VDD電源，和傳統vdd不同CK-VDD的電壓會配合clock的震盪產生高、低電壓，當clock在高準位時電路會需要較大的操作電流，這時候讓vdd維持在高電壓，而當clock在低準位時讓vdd

維持在低電壓來節省功率消耗，如此一來就可以在不降低電路效能的情況下省下更多的功率消耗，而VFA本身即具有自動調節電壓的功能，會視情況調整vdd電流量，搭配FDCA可調節duty cycle的功能可使CK-VDD的應用更具彈性。

而針對前述應用系統的低功率高效能的驗證要求，我們使用以下三個方法來達成目標，一、低功率的H.264影像解碼晶片，二、可變電源與管理機制。低功率影像解碼晶片的設計方式主要是利用雙電源提供不同的電壓準位，將非關鍵路徑上的邏輯閘置換成較低的電壓準位，利用此方式可以在不影響晶片的工作效率外，還可達到降低功率消耗的目標。雙電源的設計規劃，係利用靜態分析方法，將各電路區塊的工作延遲時間與時脈餘裕時間與電路的特性做詳細的分析並決定出那些電路區塊為關鍵區塊，或為非關鍵路徑，再經由平面規劃（Floorplan）的實體設計方式，將使用高電壓源的關鍵區塊與低電壓源的非關鍵區塊中規劃一個最好的擺放方法。

而且我們的電源管理晶片設計具有可擴充性質，可依晶片所需功率決定使用幾個電源管理晶片，意即如果在單一電源管理晶片所能提供的電流量並未達到解碼晶片的需求，我們可啟動另一個相同的電源管理晶片，以擴充來提高所供應的電流量，如此達到控制功率與節省功率的成效。



2014



指導教授

鄭經華 / 逢甲大學電子工程學系

畢業於中正大學資訊工程研究所，目前任職於逢甲大學電子工程學系，專注於高速動態電路與低功率電路之設計、測試與實作。整個實驗室團隊在高效能、低功率設計測試技術與晶片實作上都已具備相當好的基礎。並且在一些原創性技術 (CKVdd 與 VDP) 獲得很好的成果，這些研究成果包含電路設計、流程整合、晶片實做驗證及應用系統端之整合。並與交通大學郭峻因團隊在低功率多媒體視訊 IP 晶片實作、系統整合與驗證平台建立密切合作，有相當不錯的具體成就。

研究領域

超大型積體電路設計 VLSI design、超大型積體電路測試 VLSI Testing、超大型積體電路電腦輔助設計 VLSI CAD。



指導教授

郭峻因 / 交通大學電子工程學系及電子研究所

1985-1993 年取得交通大學電子工程學系學士與電子研究所博士。目前擔任交通大學電子工程學系教授兼電子研究所所長 (2012/8- 迄今)，並同時擔任智慧電子國家型計畫分項召集人 (2011/1- 迄今)。1996-1999 年曾任聯合技術學院電子工程系系主任，並陸續擔任旺宏電子 (1996-1999 年)、唯典科技 (2000-2004 年)、凌華科技 (2002-2004 年) 顧問一職。2005-2008 年，擔任中正大學 SOC 研究中心主任，2009-2011 年為中正大學特聘教授兼系主任。

研究領域

VLSI Design、Digital Signal Processing、Digital IP and SoC Design、Intelligent Vision Processing System。

Abstract

The proposed low-cost, synthesizable, scalable Voltage-Frequency Adjustor (VFA) design provides automatic voltage and frequency adjustment with stabilization mechanisms. This design is effective in reducing power consumption for dynamic varying systems. The supplied electrical current amount and voltage level are automatically adjusted by sensing the voltage level from fanout target designed circuit. If the fanout voltage level is lower or higher than a preset value, the voltage stabilization mechanism is enabled by using a feedback control circuit. The voltage stabilization mechanism controls the activating power switch module quantity

to allow a circuit module dynamically varied design that can obtain a stable fanin power, regardless of the designed module that is frequently added or removed from the system. Compared to the conventional dynamic voltage frequency scaling (DVFS) technique, the VFA is cost effective and can be easily integrated with the target design as a single chip. The final experimental results are successfully validated, the H.264 decoder chip joining with two VFA chips has a range of 49%~68% power reduction compared to when the H.264 video decoder directly uses an external power supply.

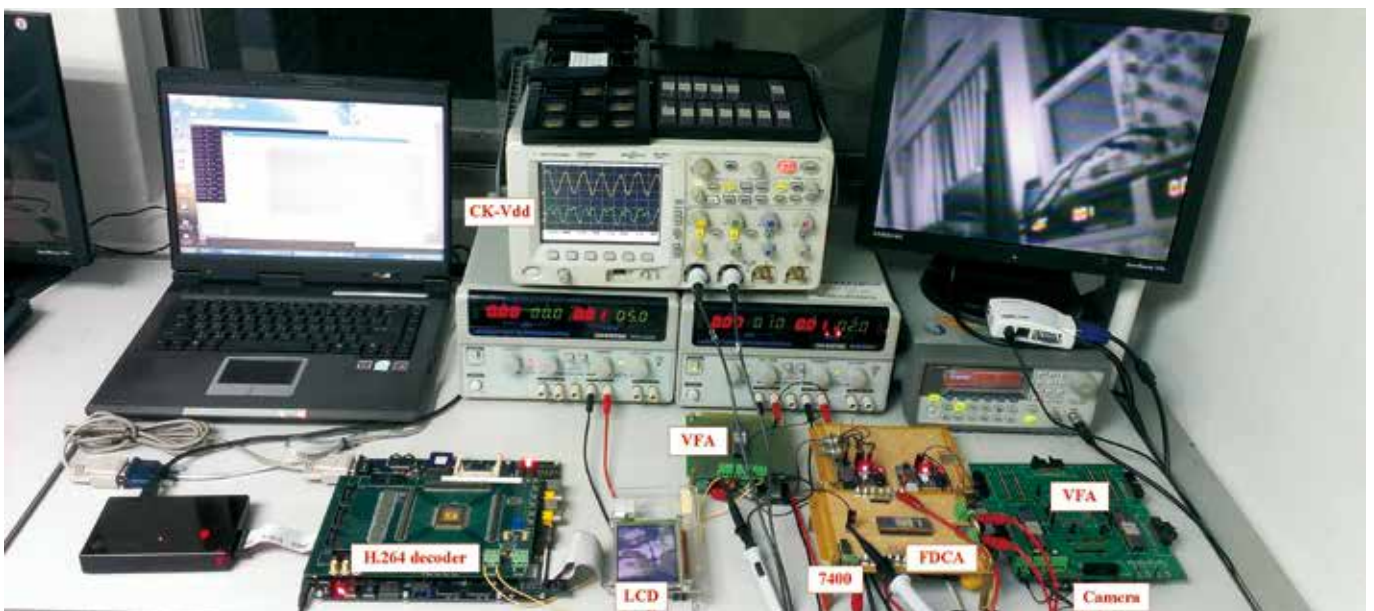


Fig.1 > A Frequency Duty-Cycle Adjustment chip (FDCA) is designed to produce several desired clock signals for controlling our proposed Voltage Frequency Adjustment chip (VFA) to generate CK type voltage (CKVdd) supplied to our H.264 video decoder chip for reducing 32% power consumption in average.