



Design 08-008

作品名稱

一個超高速五位元快閃式類比數位轉換器

An Ultra High-Speed 5-bit Flash ADC

隊伍名稱

高速之星 Highway Star

隊長

林英儒 成功大學電機工程研究所

隊員

黃冠穎 成功大學電機工程研究所

指導教授

張順志 老師 成功大學電機工程學系

作品摘要

在眾多不同架構的類比數位轉換器中，快閃式類比數位轉換器一直是普遍被認為最適用於低至中等解析度與高速操作的架構，其廣泛的應用於硬碟機/光碟機的讀寫介面電路或在高速通訊的接收器。現今數位電路的處理，由於管線(pipeline)與多重路徑(super-scalar)技術的廣泛地被使用，可以達到很高的等效操作頻率。但類比電路部分往往受限於製程技術的限制與電路設計技巧而無法與數位電路的操作頻率相配合，因而形成效能的瓶頸。

此次提出的類比數位轉換器，雙端差動輸入訊號經由一個取樣放大器(track-and-hold)來進行對輸入訊號的取樣。取樣之後的輸入訊號由比較器之輸入端進入，而比較器陣列(comparator array)做電壓位準之判斷。在所使用的比較器之架構的設計中，第一級的前置放大器至第三級比較器，我們使用了電阻做為負載。在高速操作時，它能夠提供極優異的解析度，尤其是這難共模比較電壓的比較器而言。比較器的輸出，分別由一個電流式正反器陣列所接收。所得到的數位訊號接下來傳遞至三十二位元至五位元的編碼器進行編碼的動作。

這個設計案中所提出的類比數位轉換器，我們將以提昇這個快閃式類比數位轉換器可達到操作的速度為主要目標。輸入訊號的匹配網路(input matching network)的設計與高速編碼器的設計，也以速度為最高的考量。以所量測出的結果，這個類比數位轉換器，比較起已經發表的作品，有著相當的效能綜合評比，並且操作在最快的速度，最快可達到4.2 GS/s。

Abstract

In GS/s analog-to-digital conversion, the flash analog-to-digital converter (ADC) is one of the most preferred architectures owing to its high-speed potential and low latency. Random offsets induced by component mismatches limit the accuracy of a flash ADC. Large number of components and device mismatches constrain the performance of flash ADCs. Techniques such as interpolation, resistive averaging network and calibration are developed either to reduce the component number or enhance the accuracy.

In this work, the resistive averaging network and interpolation technique are investigated and analyzed to accurately estimate the power consumption of preamplifier arrays in a flash ADC. By comparing the relative power consumption of various configurations, flash ADC designers can select the most power efficient architecture when the operation speed and resolution of a flash ADC are specified. Based on the quantitative analysis, a compact 5-bit flash ADC is designed and fabricated in a 0.13- μm CMOS process. The proposed ADC consumes 180 mW from a 1.2-V supply and occupies 0.16-mm² active area. Operating at 3.2 GS/s, the ENOB is 4.44 bit and ERBW 1.65 GHz. At 4.2 GS/s, the ENOB is 4.20 bit and ERBW 1.75 GHz. This ADC achieves FOMs of 2.59 and 2.80 pJ/conversion-step at 3.2 and 4.2 GS/s, respectively. The proposed ADC operates at a sampling rate up to 4.2 GS/s and achieves comparable FOMs with the other state-of-the-art works.