



# DESIGN GROUP

## 08-061



### 作品名稱

## 應用於高畫質數位電視應用之 H.264/MPEG-2雙模式視訊解碼器

A High Performance H.264 / MPEG-2 Dual Mode Video Decoder Chip for High Resolution DTV Applications

### 隊伍名稱

宅宅的逆襲 Otaku's Counter Attack

### 隊長

楊曜彰 中正大學資訊工程學系研究所

### 隊員

張修誠、簡呈安 中正大學資訊工程學系研究所

陳嘉偉 中正大學電機工程學系研究所

### 作品摘要

在各項數位家庭的影音產品中，影音解碼晶片扮演著重要的角色，而MPEG2及H.264由於具有強大的壓縮比、低位元傳輸速率、和良好的網路適應性能，因此成為現今影音壓縮處理技術之不可或缺的重要元素。在目前其應用範圍相當的廣闊，包括了數位監視系統、數位相機、數位DV攝錄影機、多媒體影音、數位電視等。目前最熱門的數位電視廣播(DVB)也已經開始運用MPEG2壓縮技術來提供高畫質的數位電視。目前MPEG2還是相當主流的技術之一，而H.264亦已廣泛應用於多種領域之中，由於H.264有更佳的壓縮比，預料H.264將會在即時視訊通信、廣播電視、視訊存儲播放等領域中大量運用。有鑑於此，並在SOC的訴求下，本作品將目前MPEG2 (Main Profile)與H.264 (High Profile) 解碼技術整合成為一顆多功能且運算能力強大的多媒體電視應用解碼晶片，此設計可以廣泛使用於未來HDTV與行動影像應用系統之相關產品中。

本次參賽作品設計主要有四個特色，第一：支援H.264 High Profile視訊解碼功能。H.264為了提供最佳的編碼效能，在Main Profile規範中加入了Field Coding、MBAFF、PAFF、B Slice Coding、CABAC等工具，在High Profile規範中加入了8x8 Transform、Loadable Q-Matrix、4:0:0 Color Format等工具，H.264透過這些複

雜的技術獲得最佳的編碼效能，但也大幅度的增加計算複雜度，也增加了晶片實現上的挑戰；為了提升設計完整性，本作品支援了所有上述提及之高複雜度編碼工具。第二：同時支援MPEG-2 Main Profile視訊解碼功能。MPEG-2在Main Profile中加入了Interface Field Coding，可使其支援到高解析度的數位電視、DVD等各種應用，目前仍是數位電視應用之播放主流標準，增加支援MPEG-2 Main Profile功能可以使得本作品技術之產業應用性大幅提升。第三：支援HD1080 (1920x1088)之高解析度即時視訊解碼，本作品在硬體架構設計上，針對運算複雜的模組進行最佳化，有效地化簡運算量及同時達到降低整體功率消耗的效果，最高工作頻率可達163MHz，同時在150MHz處理頻率下可支援至HD1080i的即時解碼。第四：支援商用OCB介面與驗證，溝通介面支援AMBA AHB 2.0 Interface，包含Slave與Master模組，在Master介面部份可依照不同的需求而使用32/64-bit兩種頻寬，更有效益的支援不同的應用。在驗證方面，包含了驅動韌體以及應用程式，不但可簡化使用上的複雜度，也提高其功能的完整性；同時透過自行開發之自動化錯誤比對平台，透過上百個測試檔，同時也在FPGA環境上進行實體驗證與展示，並以TSMC 0.13um CMOS製程完成晶片後段製作，其硬體架構成本為438.4K gates, 10.9KB SRAM, 晶片面積為4.25mm x 3.55mm。



## 指導教授



郭峻因 老師 中正大學資訊工程學系暨研究所

郭峻因教授分別於1989年與1993年獲得國立交通大學電子工程學士學位與博士學位，郭教授從事VLSI相關之研究工作已達十五年，研究專長領域包含VLSI架構設計、數位訊號處理、多媒體視訊IP設計與SOC設計等。郭教授現任國立中正大學資訊工程系教授，並兼任SOC研究中心主任。郭教授曾擔任多件NSOC總計畫與NSC微電子學門總計畫主持人，自2003年以來已經完成十件技術移轉案及申請多項專利。郭教授所帶領之研究團隊近年來獲得多次獎勵，包含國科會甲等獎兩次、國科會計畫獎助七次，並獲頒92年莊宏電子青年教授講座、93年中國電機工程學會優秀青年電機工程師獎榮譽、第一屆鳳凰西IC設計競賽最佳指導教授獎、第六屆莊宏金砂獎指導教授獎、91-94年教育部顧問室VLSI設計人才培育先導型計畫服務獎、95年教育部VLSI教改計劃P&L聯盟服務獎、中正大學傑出研究獎及中正大學研究傑出特聘教授等榮譽，同時自從2002年以來也指導學生共獲得二十三項獎項(包含兩項國際IC設計競賽獎項)。郭教授目前已於多媒體系統設計相關領域上發表超過一百一十五篇之國際期刊論文與會議論文，郭教授所指導學生之作品屢獲全國性與國際性IC設計競賽獎項，顯示出其優秀的研究與計畫執行能力。

## Abstract

Within the various home media products, MPEG video coding standards have played an important role to realize the goal of real-time video processing. Owing the promising features of high compression ratio, low bit-rate coding, and high adaptation to network protocols, MPEG-2 and H.264 Codec become inevitable key components in different multimedia products, including HDTV, Digital Camera (DC), Digital Video Recorder (DVR), Portable Multimedia Player (PMP), Set-Top-Box (STB), as well as Video Surveillance system, and so on. In addition, the mobile/portable TV applications gather more and more attraction from the consumers to fulfill the feasibility for watching real-time TV programs during their transportation, where MPEG-2 and H.264 have been adopted as the current and future video coding standards.

With this strong demand, we have proposed a dual-mode (H.264 HP/MPEG-2 MP) video decoder for high definition mobile/portable TV applications. There are four specific features in the proposed design. The first one is supporting the H.264 HP decoding tools including picture frame/field coding, MB adaptive frame field (MBAFF) coding, weighted prediction, B slice coding, CABAC decoding, 8x8 transform, 4:0:0 color format, and so on. With these advanced coding tools, the coding efficiency of H.264 HP video could be greatly increased through higher quality and lower bitrates. Of course, this feature also imposes high design challenges in its hardware realization. The second feature is that we support the dual-mode video (H.264 HP/MPEG-2 MP) decoding together for covering the current/future mobile/portable TV applications. The third feature is to support real-time high definition video (HD1080, 1920x1088@30fps) decoding by exploiting hybrid block mode data processing to reduce the memory access bandwidth. In addition, we also reduce the complexity through algorithmic/architectural optimization for achieving low power consumption purpose. The proposed design could achieve maximum 163MHz operating clock frequency under TSMC 0.13um CMOS technology. It could achieve HD1080 real-time video decoding when operated at 150MHz. The fourth feature is to support commercial OCB (AMBA 32/64-bit master I/F and 32-bit slave I/F) for providing high feasibility for SOC integration. In addition to the proposed IP, we also provide the associated firmware library to co-work with the proposed design to decode H.264 HP/MPEG-2 MP video sequences together. After passing hundreds of video test sequences, the proposed design owns high robustness in its functionality. Of course, the proposed design has also passed the IP qualification process, including nLint RTL coding check, code coverage measurement through VN-cover, FPGA prototyping through ARM-based platform. Finally, we have fabricated the proposed design according to TSMC 0.13um 1P8M CMOS technology with the gate-count of 438.4K gates and 10.9KB SRAM at a core size of 4.25mm x 3.55mm.

