



DESIGN GROUP

08-075

作品名稱

支援高解析度1080p的可調式影像編碼器

1080p HD Scalable Video Coding Encoder

隊伍名稱

媽，我今晚要睡實驗室 Can you sleep in Lab tonight

隊長

莊子德 台灣大學電子工程學研究所博士班

隊員

陳翊豪 台灣大學電子工程學研究所博士班

作品摘要

創作動機

在近十幾年間，整合了多元內容的多媒體資料傳輸成為當前最熱門的應用之一。而在多媒體資料中，屬視訊媒體的資料量最大，於是以往的編碼技術都著重在壓縮率上面，然而隨著多媒體應用的發展，能提供多元功能性的應用慢慢受到重視，其中以可調式視訊編碼(Scalable Video Coding, SVC)尤為重要。在可調式視訊編碼的應用系統中，服務主機端只需存有一個經由SVC編碼器壓縮後的壓縮位元串流，經過SVC轉碼器(SVC Adapter)可輕易的轉變成不同畫面大小、不同顯示速度以及不同顯示畫質的位元串流，不同的位元串流隨即透過不同的通訊系統傳送到不同需求的使用者手上，如低傳輸頻寬的PDA上，或高傳輸頻寬的家庭劇院。然而這樣一個可以提供多種影像規格SVC編碼器會需要非常大量的系統頻寬以及運算複雜度，因此我們希望藉此晶片實作的計畫，提出適合高畫質解析度的硬體運算架構，提供使用者最佳的解決方案。

系統簡介

本研究的主要目的在於實現出一個高效能低頻寬的SVC編碼器且能向下相容H.264/AVC High Profile。在SVC的應用系統中，SVC編碼器為了提供不同方面的可調式影像，需要使用相當大量的系統記憶體頻寬。而大量的記憶體頻寬的晶片代表著高耗電量以及難以整合入一個晶片系統(System on Chip, SoC)當中。根據我們的分析，SVC編碼器所需要的頻寬主要來自於兩部分。一是來自於讀取移動運算估計(Motion Estimation)所需要的



大量資料，另一部份則是為達到支援可調式畫片品質功能的細部品質可調(Fine Grain Scalability, FGS)所需的大量不規則記憶體存取。

根據我們對於SVC系統的特性分析，找出適合的低頻寬階層移動運算估計(Hierarchical ME)演算法，並使用適當的平行運算來提升硬體執行效能。此外為了更進一步的降低記憶體頻寬，我們採用了畫面層級資料重新利用(Frame-level Data Reuse)的演算法跟架構，在相同的畫面品質下，大量的降低記憶體頻寬。另外為了解決FGS所需要的大量畫面層級不規則記憶體存取頻寬，我們找出一種特殊前處理掃描方式，將之從畫面層級的不規則存取轉換成適合硬體實現的巨集區塊層級的規則存取。此方式除了能避免不規則的記憶體存取之外更能大量降低這一部份的頻寬需求。此外對於H.264/AVC High Profile 以及SVC編碼器所提出的新型編碼工具，我們都有針對其特性設計出適合的硬體架構，並且考慮硬體的使用效率，採用了不同的硬體共用及平行度。

預期成果

我們將會完成高效能低頻寬的SVC編碼器的演算法分析及架構設計，並以硬體描述語言及EDA tools完成晶片設計。預期可及時編碼畫面最大為1080p HD (1920x1080)，每秒30張畫面的可調式視訊影像資料。成果會包含完整的晶片規格(邏輯閩個數、消耗功率、消耗記憶體頻寬等)、支援的可調式功能選項及影像品質等數據。



指導教授

陳良基 老師 台灣大學電子工程學研究所

- 75年取得成功大學電機研究所博士學位，為國內CAD領域第一位本土博士。
- 78年進入台灣大學電機系任教，目前為台大電機系特聘教授。
- 陳教授領導的332實驗室，在研究團隊的共同努力下，擁有多項創新論文及專利，尤其是在「DSP架構設計」與「數位視訊技術」兩個研究領域上已躋身國際學術領先之研究群。
- 陳教授年年獲得國科會研究獎勵及優異論文獎。
- 三次獲頒國科會傑出研究獎及技轉貢獻獎。
- 並於獲選為IEEE Circuits and System Society之Distinguished Lecturer且獲頒IEEE Fellow。

Abstract

Motivation:

In the recent decades, the transmission of multi-media data has become the most popular application. Previous video encoding techniques all focused on compression rate. However, the coding standard that can provide variety of functionalities becomes more and more important, especially Scalable Video Coding (SVC). In the SVC application system, the original video is encoded by an SVC encoder as a global bitstream and then can be extracted into several different frame size bitstreams by an adapter. These different extracted bitstreams can be transmitted through different communication systems to serve different end users, for example, through the wireless network to PC or PDA, or through the fiber cable to home theaters. However, such a SVC encoder needs huge external memory bandwidth and computation complexity. Therefore, by implementing this chip, we propose a suitable hardware architecture that can provide the best functionality for the users.

Introduction:

The goal of this research is to implement an SVC encoder with high efficiency and low bandwidth requirement and capable to encode H.264/AVC high profile format bitstream. In order to provide the dimensional encoding scalability, the SVC encoder will need huge external memory bandwidth. Huge memory bandwidth requirement means large power dissipation and hard to integrated into a SoC (system on chip) system. From our analysis and simulation, the bandwidth mainly comes from loading search range data for motion estimation and large irregular memory access for fine grain scalability (FGS). First, we found a motion estimation algorithm with low bandwidth requirement which suitable for SVC characteristic, and utilized appropriate parallel computing to improve hardware computation performance. To further reduce the memory bandwidth of motion estimation, we adopt the frame-level data reuse algorithm and frame-level encoding scheme to lower memory requirement while maintaining best video quality. Besides, in order to solve the irregular memory access problem from FGS, we propose a novel hardware oriented pre-processing method that can transfer the irregular frame level data access into regular macro-block level access. In this way we can reduce FGS memory bandwidth greatly without irregular memory access. Moreover, for the new coding tools provided by H.264/AVC high profile and SVC, we all have designed suitable hardware architecture with consideration of hardware utilization.

Expected Results:

The expected result is to develop the hardware oriented algorithm and hardware architecture of a high efficiency and low memory requirement SVC encoder chip. Videos of 1920x1080 frame size (1080p HD), 30 frames per second must be able to be encoded in H.264/AVC high profile or SVC format. The result must include detail chip specification, such as logic gate count, power dissipation, memory bandwidth, supported scalable functionalities and visual quality evaluation of video.

