



<b>作品名稱</b>	<b>應用於立體與超高解析度數位電視之多視角視訊編碼器晶片</b> A 212MPixels/s 4096×2160p Mul-tiview Video Encoder Chip for 3D/Quad HDTV Applications
<b>隊伍名稱</b>	<b>尊爵、不凡、"晶"奧的菲爾普斯 Phelps of CHIP Olympic Games</b>
<b>隊長</b>	<b>叢培貴</b> 台灣大學 電子工程學研究所
<b>隊員</b>	<b>丁立夫·莊子德·蕭百亨</b> 台灣大學 電子工程學研究所
<b>指導老師</b>	<b>陳良基</b> 台灣大學 電子工程學研究所

### 作品摘要

本研究的主要目的在於實現出一個高效能低頻寬的多視角視訊編碼(Multiview Video Coding, MVC)器且能向下相容H.264/AVC High Profile以支援超高畫質影像編碼。在MVC以及超高畫質的應用中，編碼器為了提供更多的視角以及更高的畫質，需要使用非常大量的系統記憶體頻寬以及晶片內部的記憶體容量。另外，為了提供MVC所支援的不同編碼架構，所需要的運算複雜度也是非常驚人的。而這些影響代表著晶片將會有高耗電量以及需要大的晶片面積並且也難以整合入一個晶片系統(System on Chip, SoC)當中。而MVC編碼器所需要的運算以及記憶體需求主要來自於混合了移動估計(Motion Estimation, ME)與位移估計(Disparity Estimation, DE)的預測核心所需要的大量資料。而根據我們對於MVC系統的特性分析，我們提出了針對視訊壓縮的快取記憶體架構設計來降低對於記憶體的頻寬以及容量的需求。而為了更進一步的降低記憶體需求以及運算複雜度，我們提出了以快取記憶體為基礎的ME/DE演算法。此外對於H.264/AVC High Profile 以及MVC編碼器所提出的新型編碼工具，我們都有針對其特性設計出適合的硬體架構，並且考慮硬體的使用效率，採用了不同的硬體共用及平行度

### Abstract

Multiview video coding (MVC) plays an important role in a 3D video system. In addition, the resolution of HDTV is increasing to present more vivid perception for users. Computational complexity of dozens of TOPS make VLSI solution become necessary. However, a large amount of external memory bandwidth, on-chip SRAM size, and complex MVC prediction structures are three main design challenges of implementation of MVC hardware architecture. In this chapter, the first MVC single-chip encoder is proposed for H.264/AVC Multiview Extension and High Profile for 3D and quad-full HD (QFHD) TV applications. A 4096x2160p multiview video encoder chip is implemented on a 11.46mm<sup>2</sup> die with 90nm CMOS technology. An eight-stage macroblock pipelined architecture with proposed system scheduling and cache-based prediction core supports real-time processing from one view 4096x2160p to seven-view 720p videos. The 212M pixels/s throughput is 3.4 to 7.7 times higher than the state-of-the-art encoder chips. The 407Mpixels/W power efficiency is achieved, and 94% on-chip SRAM size and 79% external memory bandwidth are saved.