



D9-058

**作品名稱** 適用於任意校驗矩陣之可即時程式的半循環低密度奇偶校驗解碼器晶片設計

A Real-Time Programmable LDPC Decoder Chip for Arbitrary QC-Based LDPC Parity Check Matrices

**隊伍名稱** 天才!!天才!!就是天才!! Genius!!Genius!!Genius!!

**隊長** 施信毓 台灣大學 電子工程學研究所

**隊員** 林承鴻 · 陳俊諭 · 詹承洲 台灣大學 電子工程學研究所

## 作品摘要

低密度奇偶校驗編碼是一種通道編碼技術，屬於線性區塊碼的一種。最早是由Robert Gallager博士在1962年於其博士論文中發表，並且已被證實具有極為優越的性能。然而當時的製程技術卻無法實現這種編碼系統，也就逐漸地被人們遺忘。直到三十多年後，隨著科技的進步和超大型積體電路的製程不斷的演進，要實現低密度奇偶校驗編碼系統已不再是不可能的任務；同時以往所使用的編碼系統已漸漸無法滿足人類對於資料傳輸率與日俱增的需求，低密度奇偶校驗編碼終於在1995年由MacKay與Neal兩位博士重新發現並加以研究，能夠將資料傳輸錯誤率更趨近向農極限(Shannon limit)，再度引起廣泛討論與研究。

對於低密度奇偶校驗解碼器的研究，除了現今文獻上，許多架構設計可以提供有限(limited)多模式(multi-mode)的解碼外，我們希望讓使用者自行定義校驗矩陣(parity-check matrix)，並達到即時(real-time)下載解碼矩陣的功能，如此，面對未來具可適性通道(channel-adaptive)的通訊系統，提供即時動態調整編碼的空間，不僅可以調整不同的解碼長度(block size)和碼率(code rate)，更可以讓使用者任意決定解碼矩陣內的0與1的位置。亦即提供可程式(programmable)的硬體架構設計，讓系統或使用者更有彈性去選擇解碼矩陣，達到解碼之最大效能。

因此為了支援非特定半循環低密度奇偶校驗編碼(Quasi-Cyclic LDPC)之校驗矩陣，我們提出了可程式的硬體架構設計。除此，我們提出三種設計技巧，包含分群式比較方式、可適性字長分配和高效率提早結束解碼機制。此晶片可以讓使用者即時(real-time)決定解碼器運作的校驗矩陣，並支援23種不同的碼率(code rate)，以及不同長度的資料(information bits)和編碼(codeword)，可提供最大編碼長度為1536 bits。本作品利用TSMC 0.13um CMOS製程來實現硬體，並透過CIC進行晶片下線。解碼器晶片面積只為4.94mm<sup>2</sup>，而量測最高操作頻率為125MHz，所消耗的平均功率為58mW。總而言之，本作品具有下列各項特點：(1)即時可程式性、(2)增加晶片執行速度、(3)提升解碼效能、(4)減少解碼所需時間、(5)縮小整體晶片面積和(6)降低功率消耗。



## 指導教授

### 吳安宇 台灣大學 電子工程學研究所

- 吳教授於1992年和1995年分別在美國馬里蘭大學獲得電機工程碩士和博士學位。1996年回國後服務於中央大學電機系，2000年加入台灣大學電機系和電子所迄今，並於2007年起獲聘任為工業技術研究院系統晶片科技中心副主任。
- 專長領域：主要研究領域涵蓋VLSI/CAD、寬頻通訊積體電路設計、VLSI信號處理System-on-Chip (SoC)設計技術。未來研究工作將以目前在數位電路設計上的成果為基礎，繼續以理論創新、宏觀歸納，及提升SoC/IC設計技術為研究目標。



## Abstract

Low-Density Parity-Check (LDPC) codes, which own the best error-correcting ability among all of the error correction codes, were first introduced by Dr. Gallager in the early 1960s. But it was very difficult to realize the hardware architecture and chip implementation due to the limited VLSI technology at that time. Unfortunately, LDPC codes were not widely researched and were left behind little by little. After three decades, LDPC codes were rediscovered by Dr. MacKay and Neal. The excellent error-correcting performance is proved much closer to the theoretical lower bound, Shannon limit. Moreover, with the dramatic advancement of VLSI technology, it is not an impossible mission to implement LDPC codes as the forward error correcting (FEC) schemes in the advanced communication systems.

For the applications of next-generation channel-adaptive communication systems, a real-time programmable LDPC decoder architecture is proposed with three design techniques: divided-group comparison (DGC), adaptive wordlength assignment (AWA), and efficient early termination scheme (EETS). In the back-end design of the LDPC decoder chip, we also propose a matrix-like layout placement scheme, which can reduce the routing complexity and chip layout area. By using programmable principle, the hardware architecture can support arbitrary Quasi-Cyclic-Based LDPC parity check matrices, including various locations of 1's, information bits, codeword lengths, and code rates. The prototyping LDPC decoder chip using 0.13um CMOS technology, which demonstrates up to 23 code rates with a maximum block size of 1536 bits, only occupies 4.94 mm<sup>2</sup> die area, operates at 125 MHz, and dissipates 58 mW power at 1.2V supply. By reducing the core power supply to 0.9V, the chip consumes only 10.2 mW at 40.5 MHz operating frequency.

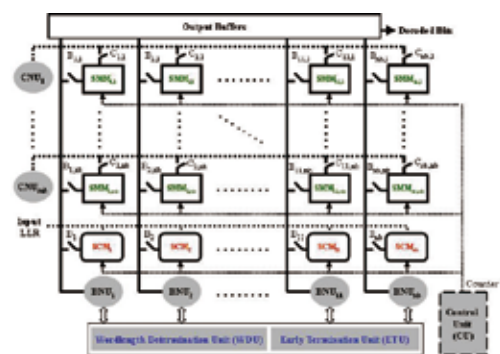


Fig. System Hardware Architecture. (Two special switched memory banks are proposed. SCM and SMM denote switched channel-value memory bank and switched mutual-information memory bank, respectively.)