DESIGN GROUP 設計組

D9-066

作品名稱	**使用新型電路架構之低功率導管式類比數位轉換器** A low-power pipelined analog-to-digital converter using proposed novel circuit architecture
隊伍名稱	**派普小子 Pipe guy**
隊　　長	**林進富** 成功大學 電機工程學系研究所
隊　　員	**邵姿菁** 成功大學 電機工程學系研究所
指導老師	**張順志** 成功大學 電機工程學系研究所

作品摘要

在本作品中，我們提出了兩個電路技巧用來實現一個低功率管路式類比至數位轉換器。第一個技巧名為分時多工重複取樣技巧，此技巧可有效補償有限運算放大器增益所造成的電路增益誤差，如此將可使用低增益放大器來實現管路式類比至數位轉換器，可藉此大幅降低電路的消耗功率，並且此技巧有別於先前技術將不需要前級取樣與維持電路便可與以實現，如此可更進一步減少電路的功率消耗。第二個技巧為管路式類比至數位轉換器的後級電路採用分時多工循序漸近式類比至數位轉換器，而非採用傳統運算放大器模式的架構，如此將可利用比較器低消耗功率的好處，更進一步降低電路功率消耗。

運用上述技巧，我們使用TSMC 0.13μm triple-well 1P8M CMOS process實現了一個9 bit，100 MS/s的管路式類比至數位轉換器，此電路在1.2 V的電源下，只需21.2 mW的消耗功率，其電路面積為1.6 mm^2。

Abstract

In this work, two techniques for implementing a low-power pipelined analog-to-digital converter (ADC) are proposed. First, the time-interleaved correlated double sampling technique is proposed to compensate the finite gain error of operational amplifiers in switched-capacitor circuits without a half-rate front-end sample-and-hold amplifier (SHA). Therefore, a low-gain amplifier and the SHA-less architecture can be used to effectively reduce power consumption of a pipelined ADC. Second, the back-end pipelined stages of a pipelined ADC are implemented using a low-power time-interleaved successive approximation (SA) ADC rather than operational amplifiers to further reduce the power consumption of the proposed pipelined ADC. A 9 bit, 100 MS/s hybrid pipelined-SA ADC is implemented in the TSMC 0.13 μm triple-well 1P8M CMOS process. The power consumption is 21.2 mW from a 1.2 V supply. The core area of the ADC is 1.6 mm^2.