D9-104

作品名稱	全自動具低功率管理的混合靜動態電路合成器與晶片實證 Fully Synthesizable Low-Power Manageable Mixed Static-Dynamic Circuit Design with Chip Validation
隊伍名稱	506-2
隊　　長	蔡佑慈　逢甲大學 電子工程學系研究所
隊　　員	黃翔暉　逢甲大學 電子工程學系研究所

作品摘要

一般的動態電路設計通常應用於高速電路，但是因功率消耗很大使得應用範圍受到限制。我們基於彌補上述的缺點使電路有著低功率消耗與高效能，我們將在電路加入Power Management的概念來降低動態電路的功率消耗，且為了使電路可以較容易加入此設計，我們將靜-動態混合電路切割成兩個操作時間不同的部分，來改善原本動態電路比靜態電路功率消耗大的缺點，而且在不增加額外的延遲下來達成整體效能的提昇。

為了讓動態電路可以使用cell based的design flow以方便動態電路的使用，因此我們發展出一套快速自動化的設計流程，建立靜態/動態混合式電路的設計環境(Mix Static / Domino Circuit Synthesizer)。可以將Verilog形式的RTL code合成出verilog形式的靜態/動態混合式電路，並且利用此設計環境取代以往以Full custom design才能完成的設計方式，接續加入Power Management的方式來管理晶片的電源供應，來降低動態電路的功率消耗，便能維持達到低功率、高速度的整體效能，且可快速進行各種高效能電路的設計，達成方便完成各種高效能靜態/動態混合式系統電路的設計目標。

我們的Power Management主要分為3種模式，分別為操作、休眠以及管理模式。以Power Switch控制電路，操作模式可讓電路能減少電路操作時因尖峰電流造成的功率消耗的功能；管理模式是利用電荷分享的技術，使供應給電路的電壓源能有緩升或緩降的效果；休眠模式則是當某工作區塊不需工作時，透過Power Management關閉PS供應電壓使電路呈現sleep狀態。這些不同的工作模式可以在適當的時候供給適當的電壓源，以減少尖峰電流、平均電流和消耗功率，也可以讓電路在供應電源關掉後在重新供給電源時，動態電路仍能正常工作。實作晶片是使用TSMC 0.13um的製成。經由晶片量測結果，與原始動態電路比較後，當電壓均為1.8v時平均電流減少了68.9%，而且電壓愈低，節省的電流也就愈多，在0.9v仍可正常操作。

而依照我們所設計power management的三種不同工作模式之特性也在晶片量測中得到成功的驗證，晶片驗證結果，達到功率節省為68.9%，且在效能損失40%下，達到了在適當的時候供給適當的電壓源，以減少尖峰電流、平均電流和消耗功率的效果。

指導教授

鄭經華　逢甲大學 電子工程學系

- 畢業於中正大學資訊工程所博士班，現職為逢甲大學電子工程學系助理教授。
- 指導學生參加VLSI之相關競賽，歷年獲得多項獎項，如2007年DAC/ISSCC STUDENT DESIGN CONTEST WINNER、2007-2008年國家晶片系統設計中心之數位電路設計獎、教育部96,97 學年度全國大專院校積體電路設計競賽佳作獎與逢甲大學97學年度優良教學教師。
- 專長領域：VLSI Design/Test/CAD。Major research fields include:

(1)Low-Power circuit-design/CAD/chip-implementation/testing issues for multimedia applications.

(2)Performance-Power trade off dynamic circuits design and testing issues.

(3)Delay testing and performance binning DFT/BIST .

(4)Cell Library generation .

Abstract

As domino logic design offers smaller area and higher speed than complementary CMOS design, it has been very commonly used to design high-performance processors. In this contest, an integrated dynamic circuit cell-based design flow has been established, including complete tape-out validation flow. Moreover, high performance domino cell libraries were generated for the development of in-house EDA and cell based synthesis tools . The use of dynamic cell library has developed to design a dynamic circuit which has skew tolerant, low-power and high-performance characteristics.

In this contest, a power gate management module (PGM) is proposed to design lower power circuit. The PGM has four modes to manage the power-performance. From regulating the power gate input voltage the Vdd supplied current can be managed. The circuit delay time can be adjusted by controlling the Vdd current supplied to the designed circuit. The stable charge sharing voltage is effective used to manage the power consumption vs. performance of the designed circuit. The PGM can solve the power gate stability problem by preventing leakage during sleep mode. A high-performance 16-bit fast multiplier with low-power test chip were successfully validated. The power gate management design provides four modes and is effective in reducing dynamic and static power consumption by 70% and 16%, respectively. Test chip has been successfully validated using TSMC 0.13um technology.

The contribution of this design flow is the implementation of skew-tolerant, low dynamic and leakage power consumption techniques with high-speed dynamic circuits.