

D10-074

作品名稱

應用在Serial-ATA III上每秒60億位元展頻時脈產生器
A 6Gbps Serial-ATA III Spread Spectrum
Clock Generator

隊伍名稱

皮卡皮卡小隊 Team PICA PICA

隊長

洪政亮 中央大學電機工程學系研究所

隊員

涂祐豪 · 劉許驊 中央大學電機工程學系研究所

**作品摘要**

隨著時代快速進步，資料的傳輸系統如行動硬碟與電腦傳送資料、手機與電腦資料的傳送。從早期的USB 1.0、AGP到現在的Serial-ATA II、USB 2.0、PCI-Express，推進到下一代的Serial-ATA III、USB 3.0、PCI-Express II...等，均利用高速的串列傳輸介面來達到快速且方便的傳送資料，現今相關的電子產品之中也已經廣泛地運用高速串列資料傳輸技術。然而目前高速時脈傳輸應用動輒數每秒數億個位元，週期性的時脈訊號具有較強而集中的能量，進而干擾週邊裝置的運作，使得系統發生錯誤或功能失常，此能量通常為電磁形式，又稱為電磁干擾（Electromagnetic Interference, EMI）。由於高時脈頻率使得電子充放電所造成的EMI越來越嚴重，如何降低電磁干擾也變成高速介面傳輸系統中首要處理之問題。在傳統上使用的防治電磁干擾作法，其成本及體積之考量之下不易提供IP應用及整合，因此同時具備降低電磁干擾與成本考量之下，使用電路實現擴展頻譜(Spread-Spectrum Clocking, SSC)的技術，此技術相似於頻率調變的模式，將高速時脈訊號頻率分布在一規範的範圍內，使能量平均分散並直接降低干擾源的能量，此即便是展頻時脈產生器（Spread-Spectrum Clock Generator, SSCG）。SSCG在晶片實作的成本及系統整合上相較於傳統式做法更具有其優勢，因此在高速Serial-ATA系統中也扮演越來越重要的角色。

本企劃提出一個可應用在Serial-ATA III上之6 Gbps新式的SSCG IP，採用一分數型鎖相迴路 (Fractional-N Phase-Locked Loop, Fractional-N PLL)與一新式非整數除頻器來進行分數除率的調變，進而達到展頻的效果。企劃中提出的SSCG IP所採用的非整數除頻器，不同於過去參考文獻中的三角積分調變器技術來進行數除率的調變，其分數除頻器可以完全實現真實分數除率，而非藉著改變整數除率來達到進似分數除率的效果。因此在進行展頻的時候，利用數位碼以三角波變化的型式控制其內部除頻器的真實分數除率，便能達到輸出時脈具有頻率調變的效果。此外，本IP的優勢在進行比較SSCG展頻與未展頻時，其高速時脈的均方根抖動(RMS Jitter)依然具備小於1 ps的表現，大大提升此IP可供高速應用及低抖動之特性。製程利用聯電90奈米標準CMOS製程，中心操作頻率為6 GHz並可向下展開5000 ppm，並同時利用一個頻率32.95 KHz三角波來調變頻率。在6 GHz未展頻的情況下峰對峰抖動(peak-to-peak Jitter)與均方根(RMS Jitter)分別為7.79 ps 與0.71 ps，當具有5.97-6 GHz展頻的情況下峰對峰抖動(peak-to-peak Jitter)與均方根抖動(RMS Jitter)分別為8.64 ps與0.77 ps。展頻的電磁干擾的壓抑約為16.12 dB。在1.0 V電壓操作下功率消耗為27.7 mW，內部晶片面積為0.5×0.45 mm²。

指導教授

鄭國興 中央大學電機工程學系

- 鄭教授 (S'89-M'93) 於1985年取得中央大學電機工程學系學士學位，分別於1987和1992年取得交通大學電機資訊工程所碩、博士學位。於1993-2003期間出任淡江大學副教授一職，在2003年轉任教於中央大學並出任電機工程學系教授至今。
- 學生期間的鄭教授即致力於發展高效能的數位積體電路和系統，並於1992-1993期間擔任國家工業研究院晶片製作中心的副研究員。鄭教授發表了超過100篇以上積體電路相關的IEEE技術論文，並擁有4個積體電路相關的專利。
- 研究領域：包含低電壓/低功率消耗的混合訊號積體電路和系統，時脈同步電路和應用於有線傳輸的極高頻混合訊號電路。

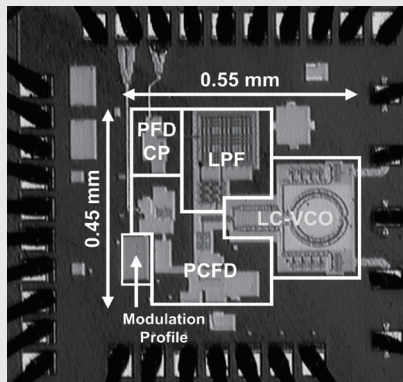


Abstract

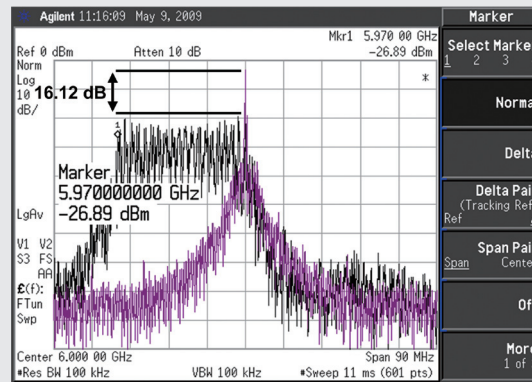
The widespread use of serial link architecture in electronic products is a natural trend given today's high-speed data transmission systems. As the internal transmission clock rate has been boosted into the gigahertz range, the accompanying issue of electromagnetic interference (EMI) is becoming more and more important when dealing with the reduction of the peak power of a system clock. Recently, several techniques have limited or reduced the amount of the power radiation such as shielding, pulse shaping, slew rate control and spread-spectrum clocking (SSC). However, a spread-spectrum clock generator (SSCG) has been proven to be both performance- and cost-effective for high-speed systems. Similar to frequency modulation (FM), SSC dithers the center frequency of the system clock slightly, enabling that the power spectrum can be spread over a broader range.

In this project, a 6-GHz triangular-modulated SSCG IP has been demonstrated in a UMC 90 nm CMOS process for the 3rd serial

AT attachment generation (SATA-III). An SSCG IP is generally based on the fractional-N phase-locked loop (PLL) architecture, and easily implements the SSC by modulating the fractional-N ratios. Accordingly, this paper presents a novel phase-rotating technique to realize the fractional-N topology for the SSCG IP. Differing from the delta-sigma ($\Delta\Sigma$) technique commonly used for SSCGs, the proposed SSCG IP realizes non-dithered fractional division ratios. In terms of the SSC, the RMS jitter can be still suppressed to less than 1 ps; thereupon the jitter performance can be improved in this SSCG IP. The measured power attenuation of the EMI is 16.12 dB, under a deviation of 0.5% (5000 ppm) and a triangular-modulated frequency of 32.95 KHz. Operating a 6-GHz clock rate, the measured RMS jitter with and without the down-spreading spectrum is 0.71 ps and 0.77 ps, respectively. The chip core area is under $0.55 \times 0.45 \text{ mm}^2$ and the core power consumption is 27.7 mW at a supply of 1.0V.



Microphotograph of the SSCG.



Measured spectra for the SSCG in the SSC-on and -off mode.