

A10-160

作品名稱

前瞻無線測試平台**Advanced Wireless Test Platform**

隊伍名稱

航向測試技術的大未來 Flying into IC Test Technology Future

隊長

許鈞凱 清華大學電機工程學系

隊員

陳德軒 清華大學電機工程學系**作品摘要****創作動機**

積體電路設計在進入SoC世代以後，設計製造的複雜度大幅的提高，使測試問題面臨許多新的挑戰。其中較為困難是由於SoC測試機台的建構成本不斷大幅的成長，SoC的產品製造已經無法再持續使用傳統的方式，以測試機台來進行測試流程。不但如此，測試機台效能的演進亦無法跟上SoC效能的進步，使得測試機台的投資越來越不符合效益。另外，與被測晶片連結的針腳(Probe)也因為越來越細的線路以及影響越來越大的電阻而面臨技術上的瓶頸。因此，我們創新提出利用無線介面來執行測試、診斷並修復單晶片系統(SoC)的方法，不但一舉解決了傳統測試機台所面臨的窘境，還可以大幅縮短測試時間並有效降低測試成本。

系統簡介

測試系統可分為測試機台與待測晶片，這兩者之間藉由無線傳輸來收發資料。測試機台部份由三個區塊組成：分析與排程應用程式、物理層驅動模組與傳接器。分析與排程應用程式是測試系統的控制核心，管理所有的待測晶片何時測試，並儲存傳送回來的測試結果以供診斷與分析。物理層驅動模組則是扮演收發器與上層應用程式之間的通訊協定介面。當收發器接收到應用程式傳送過來的資料時，它會將這些資料轉換成電磁波傳送給待測晶片。待測晶片也分三大部分：原待測物、測試模組與時脈模組。原待測物包括了原有設計與添加在內部的

可測性設計(DFT)來支援測試系統的運作。測試模組中包括自我測試/修復電路、具有通訊協定的控制器與收發器。控制器則是管理待測晶片內部的測試流程並掌管通訊協定與測試機台的溝通。收發器則將由控制器傳送過來的資料轉發給測試機台。至於時脈模組則包含時脈產生器，藉由無線載波的萃取來產生時脈來供應整顆待測晶片。

成果

成果包括多個不同層次的無線測試平台，以及SoC的測試、整合、驗證的各項先進技術。有別於傳統探針技術，我們以創新的方法，透過『低成本的無線通訊』與『前瞻的嵌入式輔助測試電路』的結合，可讓一般的筆記型電腦搖身一變，成為全功能的晶片測試平台；不但可以支援晶圓測試、封裝後的晶片測試與良率修補、甚至於可以協助電路板上的晶片診斷，足以取代原本造價動輒幾千萬元，甚至是上億元的昂貴測試機台，一舉解決傳統測試機台所面臨的窘境，提高晶片的產品良率。將展現的無線晶片測試平台，包含具有圖形介面的測試程式及測試機台。利用無線測試系統循序傳輸協定，由筆記型電腦發送測試命令，待測電路接受無線傳輸之指令做測試，再將測試結果同時無線傳輸至Test-Head，再透過USB傳回電腦。測試程式可整合針對各種待測電路之測試程式，並可清楚顯示目前的待測電路種類、測試進度和測試結果。

指導教授

黃稚存 清華大學資訊工程學系

- 黃教授在2000年獲得清華大學電機工程學系的博士學位，並於2004年起任教於清華大學資訊工程學系至今。
- 黃教授擁有5項美國及4項臺灣專利，並榮獲2009年國家發明銀牌獎與2003年IEEE Asia and South Pacific Design Automation (ASP-DAC) 研討會最佳論文獎。也是2008年IEEE Computer Society Certificate of Appreciation, TTTC (Test Technology Technical Council) Service Award的獲獎者。
- 研究領域：著重於達成穩健運算的VLSI設計及技術，包含VLSI架構及矽智財、安全機制、非揮發性記憶體之加解密設計、錯誤更正編解碼器及系統層級偵錯與效能監控。



劉靖家 清華大學電機工程學系

- 劉教授於2002年獲得美國加州大學聖塔芭芭拉分校電機與計算機工程學系博士學位，並於同年起任教於清華大學電機工程學系至今。
- 劉教授在2004年IEEE Design Automation and Test in Europe (DATE) 研討會獲得最佳論文獎。並在2006年獲得思源科技教育基金會EDA獎勵金及指導學生參加教育部IC/CAD競賽不定題組優勝。2008年執行教育部EDA/DAT聯盟國際合作及演講活動績優。
- 研究領域：主要在VLSI電路的電子自動化設計，開發有效率的工具及方法處理IC設計遇到複雜度和不準確性的問題，包含信號雜訊，雜散電容，不穩定電源，溫度變化，半導體缺陷，電阻性短路開路，微影技術不準確性，高漏電流等。



Abstract

The SOC designs can integrate digital, memory, analog, and even RF components on the same chip. This trend greatly complicates the automatic test equipment (ATE), which has to test all the components of the SOC, with higher frequency, pin count, and timing accuracy as compared with previous-generation ATEs.

The wafer probe system also faces similar new challenges. In addition, probe cards are expensive. Probing itself creates uncertainty and inaccuracy, and probing can introduce defects to chips under test. Another issue is that, with the increasing need of testing throughput, parallelism is also required. These issues and requirements dramatically increase the cost of ATE. According to recent ITRS report, test cost is the only category of cost that does not decrease with the new IC fabrication technology.

IC testing will go wireless in at least some high-end applications. Therefore, our wireless test platform is defined and intended as a next-generation test system, with wireless communication and enhanced embedded test features. It provides test solutions for, e.g., wafer test, final test after packaging, and field test and diagnostics. Our wireless test platform reduces the test costs dramatically, mainly due to the significant reduction in capital investment, simplification in test infrastructure and flow, increase in parallelism, etc.

Based on the wireless communication and software technologies, the hardware of our wireless test system can

eliminate traditional expensive probe card function and thus reduce the test cost. In this way, the test station and test head can act as a tester and can make wireless communication with dedicated RF module in DUT (device under test) to perform test process and obtain test result.

As an example, the test station will initiate to run a Memory BIST on the DUT. The test software will send an MBIST test command to the lower-level software handler, which will format the command into a format recognizable by the DEU on the DUT. The newly-formatted data is then sent through the MAC hardware, which translates the data as fixed-size packets. The data strings are processed by the baseband processor for effective channel coding, which will eventually be transmitted through RF protocols. After the MBIST command completes, a similar process will take place: test station will query the status of the MBIST constantly for returned test data.

A new wireless-based test system is implemented with both board level prototyping with FPGAs and tapeout of MBIST DUTs. We successfully complete parallel test with 36 sets of DUTs, each of which includes six embedded memories of different sizes with artificially injected faults (by FPGAs). The overall overheads of the added hardware of DUT are comparatively much smaller than MBIST controller itself. Note that these additional area will remain near constant for larger DUTs.

