D10-076

作品名稱 **適用於正交分頻多工系統的多輸入多輸出訊號偵測器之高產出量QR分解設計**

High-Throughput QR Decomposition for MIMO Detection in OFDM Systems

隊伍名稱 **無線-N Wireless-N**

隊　　長 **黃正宇** 中央大學電機工程學系研究所

隊　　員 **趙文吉** 中央大學電機工程學系研究所

指導老師 **蔡佩芸** 中央大學電機工程學系

作品摘要

無線通訊技術有日新月異的突破，傳輸速度也持續在提升中，在各種區域網路中，目前規劃的最高傳輸速率分別是在無線個人區域網路(Wireless Personal Area Network, Wireless PAN)中802.15.3c預期提供至2 Gbps，再下一代的目標訂立在5~10 Gbps，在無線區域網路(Wireless Local Area Network, Wireless LAN) 802.11n 的規格訂立為600 Mbps，而其擬定的下一世代規格(802.11 VHT)預期要達到1Gbps以上，因此從無線通訊的規格發展來看未來支援高傳輸速率為必然趨勢。

多輸入輸出技術咸被認為是目前有效提昇傳輸速度的方法，在多輸入輸出技術解碼方式中最受注目，當屬球面解碼器(sphere decoder)與時空分層架構解碼(V-BLAST)方法，在這些演算法中需要用到通道矩陣QR分解(QR decomposition, QRD)的預先處理。隨著高傳輸速率的發展趨勢，QR分解必須要有高產出量(throughput)才能夠支援高傳輸速率的系統。

本研究主要目標為設計並實現下一個世代的無線區域網路規格(802.11 VHT)來達到傳送高畫質影像的速度需求，所支援的傳輸速率最大近2 Gbps，因此QR分解的最大產出量必須在 2 Gbps以上。本設計另一個目標是可應用於4對4的發送天線與接收天線，因此要有4×4複數通道矩陣分解成8×8實數上三角矩陣的規格。在演算法階段，以結合複數和實數QR分解的方式來減少運算量，與一般直接QR分解方法約少了44%複雜度。在硬體架構設計，利用分時共享和排程技術來提高硬體使用率，並改變運算順序和硬體資料路徑來減少36%延遲緩衝器。本硬體架構可支援4×4複數、8×8實數等的QR分解，本作品利用TSMC 0.18um CMOS製程來實現硬體，最大操作頻率為90.1MHz，最終產出量可達到2.16Gbps，可符合最大傳輸速率目標的需求。

Abstract

In this work, we aim to design and implement a high throughput QR decomposition architecture for 4 ×4 MIMO signal detection problems. A real-value decomposed MIMO system model is handled and thus the channel matrix to be processed is extended to the size 8×8. Instead of direct factorization, we propose a QR decomposition scheme by cascading one complex-value and one real-value Givens rotation blocks, which can save 44% hardware complexity. The systolic array is adopted for hardware implementation to facilitate pipeline design. Then, the requirement of skewed inputs to the conventional complex-value QR-decomposition systolic array is improved and 37% of delay elements are removed. The real-value Givens rotation stage is implemented by a stacked triangular systolic array to match with the throughput of the complex-value one, and improve the hardware complexity using scheduling and time-sharing. We have implemented the proposed design in TSMC 0.18μm CMOS technology with 152K gates. From post-layout simulations, the maximum operating frequency can achieve 90.09MHz. The proposed scheme not only reduces the hardware complexity, but also supports high throughput for MIMO-OFDM signal detection up to 2.16Gbps under stationary channels.