

D13-068

Multiple Code-Rate Turbo Codec Design for Next Communication Systems

適用於下世代通訊之多碼率渦輪編解碼器設計

隊名 oasis317a
 隊長 林振揚 交通大學電子工程研究所
 隊員 蔡長宏 交通大學電子工程研究所
 指導教授 張錫嘉 交通大學電子工程研究所

作品摘要 Abstract

在行動通訊系統裡，高運算量的通道編解碼模組往往扮演相當關鍵的角色，不僅要達到傳輸需求的高吞吐量，也必須降低伴隨而來的功率消耗，以提供具有技術競爭力的解決方案。而為了滿足現代人使用手持行動裝置的網路傳輸速度要求，設計一個高吞吐量、提供多碼率、並維持優良錯誤更正效能的渦輪編解碼器是未來手機高速通訊系統不可缺少的技術。

本競賽作品提出一個高速且可以解五種碼率之渦輪編解碼器。本作品使用了互反雙重柵欄 (reciprocal dual trellis) 來解決一般解碼器在高碼率所遭遇到的高複雜度柵欄的問題，另外，為了提高解碼器的吞吐量，我們利用了無競爭式交錯器的硬體架構來設計高速渦輪解碼器。本競賽所提出的渦輪解碼器可以解碼率為 $1/3$ 、 $1/2$ 、 $2/3$ 、 $4/5$ 及 $8/9$ 之碼字，利用TSMC 40奈米製程實作結果，此多碼率渦輪解碼器的晶片面積為 1.27mm^2 ，在供應電壓為 0.9V 下，可以達 535Mbps 之資訊傳輸速度，能量效益 (energy efficiency) 為 $0.068\text{nJ/bit/iteration}$ 。本競賽作品可達到高傳輸速度且低功耗，相當適合高速且高碼率傳輸之通訊系統。

This paper presents a multiple code-rate turbo decoder using the reciprocal dual trellis to reduce the circuit complexity. For a convolutional code with code rate $k/(k+1)$, its corresponding reciprocal dual code with rate $1/(k+1)$ has smaller codeword space than the original code while $k > 1$, leading to a simplified trellis of the high code-rate code. The proposed decoder architecture can decode code rate $k/(k+1)$ constituent convolutional codes for $k=1, 2, 4, 8$, and 16 . Moreover, two parallel soft-in/soft-out (SISO) decoders are exploited in our turbo decoder by using the quadratic permutation polynomial (QPP) interleaver to improve the decoding speed. After fabricated in $1\text{P}9\text{M}$ CMOS 40nm process, the proposed decoder with 1.27mm^2 core area can achieve 535Mbps throughput at $8/9$ code rate, and the energy efficiency is $0.068\text{ nJ/bit/iteration}$ at 0.9V .