

隊名 生醫綠能隊

隊長 李承晏 / 交通大學電子工程研究所

隊員 林欣慈 / 交通大學電子工程研究所

# DI5-025

A Standard-Cell-Design-Flow Compatible Energy-Recycling Logic with 70% Energy Saving

標準元件數位流程相容之能量回收電路

指導 楊家驥 / 交通大學電子工程研究所  
教授 謝秉璇 / 清華大學電機工程研究所

## 作品摘要

在生醫電子領域中，數位訊號處理是不可或缺的一部分。生醫電子著重於低能量消耗以延長電池的使用時間，其中針對植入式生醫晶片的能量要求最嚴格。當越來越多訊號需要被運算時，低能量消耗電路設計將會是一大挑戰。在傳統的 CMOS 電路設計中，藉由降低電壓能有效的減少能量消耗，但是隨著電壓的下降，漏電流的能量消耗上升，使得傳統 CMOS 電路的能量消耗受限。另一種絕熱電路可藉由交流式電壓源減少電晶體兩端的電壓差，並以較低之操作速度換取到較低的能量消耗。

本研究提出一個新式的絕熱電路能量轉換架構，此架構適用於任意複雜的數位電路，可應用在對能量要求相當高的植入式生醫晶片與感測器網路。透過從電源供應端之等效電容與外接電感產生絕熱電路所需的交流式電壓，進而使能量在交錯的電路區塊轉移。藉由模擬方法，適當的選取數位電路設計參數：邏輯深度、臨界電壓元件、電壓源、操作頻率以及切換速率，得到最低的能量消耗操作點。所提出的絕熱電路需要較少的電晶體數以及全振幅的輸出電壓，解決先前絕熱電路研究面臨的困難。所提的能量轉換架構、絕熱邏輯與佈局方法相容於現今的標準元件數位流程，使絕熱電路技巧可擴展至複雜的超大積體電路系統。

此研究以 90-nm CMOS 製程，針對神經元訊號處理的應用，在目標頻率 410 kHz 下，設計一 14-tap 8-bit 有限脈衝響應濾波器來證實所提的電路技巧。在 0.4V 的電壓下，FOM 可達到 5.33nW/MHz/Tap/ln-bit/Coeff-bit，相較於先前的低能耗有限脈衝響應濾波器設計，改進 1.9 到 42 倍。相較於傳統 CMOS 電路，所提出絕熱電路在 87-410kHz 的操作頻率可達到 53-70% 的能量下降。本研究所發展之電路技巧針對能量要求嚴格的 VLSI 系統提供一個低能耗的解決方案。

This work presents an energy-recycling adiabatic logic for ultra-low energy applications, such as implantable bioelectronics, wireless sensor network, and wearable computing. The AC power supply for adiabatic logic is resonated by an off-chip inductor and parasitic capacitances seen from the power rails. The computation energy is effectively recycled between interleaved DSP logic blocks. The minimum energy consumption can be achieved for several design parameters, such as logic depth, switching activity, threshold voltage, supply voltage, and clock frequency. The proposed adiabatic logic has minimum transistor overhead with full output swing, outperforming the previous state-of-the-art adiabatic circuits. The proposed energy-recycling architecture, adiabatic logic cells, and layout methodology are compatible to current EDA tools for complex VLSI systems.

As a proof of concept, a 14-tap 8-bit finite impulse response (FIR) filter has been implemented in 90-nm CMOS for implantable neural signal processing. The FIR filter dissipates 1.96 $\mu$ W and achieves a figure of merit of 5.33 nW/MHz/Tap/lnBit/CoeffBit at 0.4V supply voltage, yielding a 1.9x to 42x higher energy efficiency compared to prior work. For potential implantable applications, the proposed adiabatic core achieves a 53-70% energy reduction for 87-410 kHz DSP signal processing at 1V supply voltage compared to static CMOS logic.