

D16-035

Design Group

具有智慧型調節能源策略之電源管理晶片設計

Power Management IC Design with Smart Energy Control Policy

隊伍名稱 有“Bear”而來!!! / “Bear” is coming!!!
 隊長 陳照群 / 中正大學電機工程研究所
 隊員 林稚超 / 中正大學電機工程研究所



指導教授

黃崇勛 / 中正大學電機工程學系



中正大學電機工程博士，目前任職中正大學電機工程學系副教授。2003年9月至2007年11月於奇景光電服務，期間擔任過正工程師、專案經理、課長等職；2007年12月至2008年1月加入承景科技擔任設計部副理。2008年2月起加入中正大學電機工程學系，擔任助理教授一職。

研究領域：為高效能數位積體電路與系統設計、低功率低電壓數位系統與電路設計、電源管理晶片以及顯示器控制晶片設計等。



作品摘要

科技日新月異、歲月瞬息變化之間，與現代人類密不可分。電子產品在應用層面與設計需求上也越趨複雜與多面化。舉例來說，攜帶式電子產品的盛行造就了整合多種應用電路的多功能系統單晶片 (multifunction SoC) 的蓬勃發展；其中，電源管理晶片抑或是電源供給電路更是不可或缺的電路設計。現今 SoC 系統對於電源管理晶片的要求具有以下的發展趨勢：(1) 為了延長電池使用壽命，電源管理晶片需要在極寬負載 (ultra wide load) 的範圍下維持足夠高的轉換效率，尤其是處於休眠或低功率模式下的輕載或極輕載 (light load) 轉換效率；(2) 電源管理晶片需要具有極佳的動態效能因應現今 SoC 系統功能越趨複雜以及使用者習慣改變所帶來的負載電流變化頻繁趨勢；(3) 電源管理晶片的輸出電壓需要具有良好的穩壓情形 (如：電壓漣波、穩壓效能等) 以及 (4) 為了 SoC 系統整合成本考量，電源管理晶片需要以盡量低成本的設計達到高規格的效能需求。

因此此參賽作品的主要訴求是利用極低的成本實現具有智慧型調節能源策略之電源管理晶片設計 (smart control policy)，可以即時依照後端應用的能量需求以及自身的功率損耗狀況彈性且迅速的調整電源管理晶片之行為。此參賽作品具有以下設計創新：(1) 高準確性的功率損耗模型用以前端設計參考，(2) 具備功率損耗感知以及能量需求切換調變機制藉以提升電源管理晶片各項效能，以及 (3) 完善的軟體分析以及驗證考量降低最後成品與設計上的效能誤差。

此具有多項創新技術的電源管理晶片是使用台積電 90 奈米 (TSMC 90nm) 製程完成晶片製作，在經過晶片量測驗證後，我們提出的高效能電源管理晶片可以在 3.3V 輸入 / 1.8V 輸出的條件下於極寬負載範圍 (1mA-500mA)

達到高於 90% 的轉換效率，並且於 0.1mA-500mA 的動態負載電流抽載可以達到小於 50mV 的電壓變異 (voltage variation) 以及少於 25 μ s 的電壓回復時間 (recovery time)。從實際量測的數據規格可以驗證此具有智慧型調整策略的電源管理晶片能同時達到高轉換效率、快速動態效能以及穩定的電壓調節規格 (電壓漣波) 要求。同時，我們也將此電源管理晶片實際供電於真實的 SoC 系統晶片應用 (以 FPGA 板為例)，藉此展現此設計的實際可行性以及貢獻。

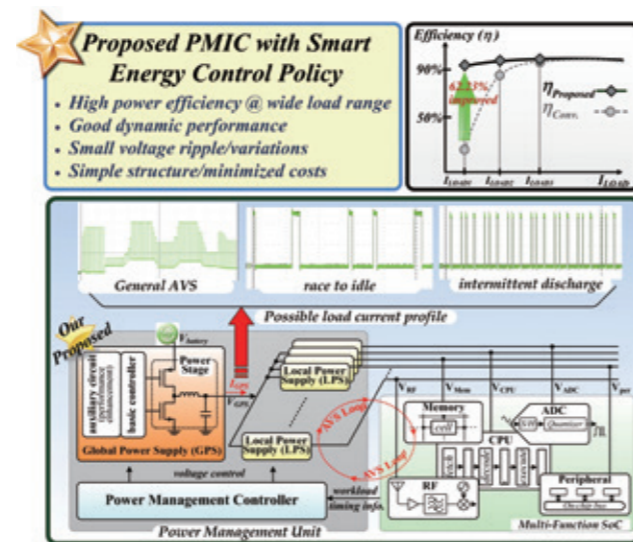


圖 1. 高效能電源管理晶片應用於具有 AVS 迴路以及數種負載電流範圍的常見多功能 SoC 系統架構圖。

Abstract

Rapid technological change has been making electronic products grow both in complexity and variety. For example, wearable and portable devices (e.g., smart watches and smart phones) have become mainstream technology but place ever-increasing demands on high-performance, low-power, multi-function SoC and multi-processors. The power management IC (PMIC) plays a key role in the SoC system and is supposed to have following design features: (1) To extend battery's lifecycle, the PMIC must possess high power conversion efficiency over wide load range, especially at light load or ultra-light load condition; (2) The PMIC is also required to possess excellent dynamic performance in response to the fluctuating load current profile of today's complex SoC system and user habits; (3) The PMIC must be able to provide high quality output voltage (eg. Minimal voltage ripple and optimal regulation performance...etc) to ensure the performance and reliability of the SoC system; (4) For SoC integration and cost consideration, the PMIC needs to achieve the aforementioned features with minimal fabrication cost.

In this proposal, we proposed a low cost, high performance PMIC design with a novel smart control policy. The proposed PMIC design is able to adjust the control policy dynamically with respect to the power loss conditions and backend application's energy requirement in real time automatically. The proposed PMIC has following innovations: (1) High accuracy power loss model for design analysis; (2) A novel power-loss-aware switch on demand modulation (PLA-SOM) scheme to enhance the performance of the PMIC in realistic SoC applications; (3) Thorough analysis and verification consideration to reduce differences between measurement and simulated results.

A proposed PMIC with the smart control policy was implemented using the TSMC 90 nm 1.0/3.3-V CMOS process. Experimental results show that a conversion efficiency higher than 90% was achieved over the 1 - 500 mA load current range, whereas the voltage variation/recovery time during the 0.1 mA - 500 mA load transient were less than 50 mV/25 μ s. Performance evaluations indicate that the proposed PLASOM technique is favorable for wide load current range buck converters in terms of conversion efficiency, transient response, and voltage ripples. In the final, we also used this novel PMIC to supply the voltage to a real SoC system (a FPGA board) to verify the design feasibility.

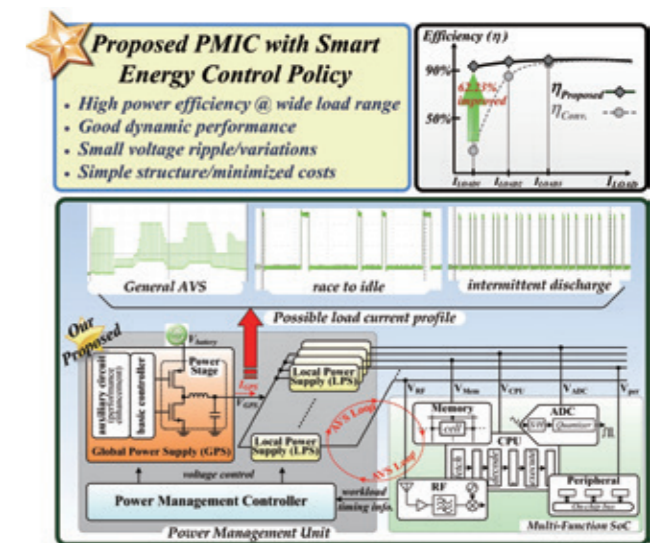


Fig 1. Proposed high performance PMIC used in a general multi-function SoC with an AVS loop and several possible load current profiles.