

一個利用殘值超取樣架構的十二位元每秒取樣四千萬次的連續漸進逼近式類比數位轉換器

A 12-Bit 40-MS/s Successive-approximation Analog-to-digital Converters with Residue Oversampling Techniques

隊伍名稱 霹靂卡霹靂拉拉、波波莉娜貝貝魯多 / Pilikapililala Popolinabebeludo

隊長 許中璋 / 成功大學電機工程研究所

隊員 張力仁 / 成功大學電機工程研究所

孔致遠 / 成功大學電機工程研究所

曾華安 / 成功大學電機工程研究所



作品摘要

在近幾年間，智慧型手機、高性能數位電視和無線區域網等電子產品蓬勃發展，而在這些複雜的應用中，為了傳遞或是感知外界的資訊，再將訊號交給後級的電路做分析、處理，多數會用到幾十到幾百萬取樣頻率 (MS/s)、中高解析度 (8-12bit) 的類比至數位轉換器 (ADC)，這樣規格的類比至數位轉換器在過去很長的一段時間都是由管線式 (pipelined) 架構所主宰。然而，逐漸趨近式類比至數位轉換器 (SAR ADC) 相對於其他架構而言，本身消耗功率低，並且隨著製程的微縮，其操作速度越來越快且面積也越小，這對於數位電路較大且無 OP amp 的 SAR ADC 有很大的優勢。在先進製程中，SAR ADC 已漸漸可以取代部分管線式類比至數位轉換器所主宰的取樣範圍。因此，我們這次的作品將選用 SAR ADC 為基礎架構，並呈現了一系列的設計與實作介紹，透過實際的晶片下線和量測驗證，證實所提出之電路設計技術可以有效提升電路的動態、靜態效能，達到能夠在不使用校正電路下，突破製程電容不匹配的精度限制。整體架構圖如圖一所示。

本作品提出一個可以應用於高解析度類比數位轉換器的殘值超取樣技術。此技術利用不同電容陣列排列方法來產生不同的電壓殘值，接著再利用這些殘值解析出一個較精確的數位碼。簡而言之，此技巧結合了動態元件匹配 (Dynamic Element Matching) 與超取樣 (Oversampling) 兩種技術的概念，其消耗少量的時間與能量即可有效降低電容因製程造成的不匹配與晶片內部雜訊的影響。利用本作品所提出的技巧所研製之雛型晶片，可以不需要經過複雜的校正電路即可增加類比數位轉換器的精確度。

在本作品中，以台積電 40 奈米製程研製一個使用殘值超取樣技術的十二位元的連續漸進逼近式類比至數位轉換器的測試晶片，其電路核心面積約為 0.04mm²，圖二為整個晶片的照相圖。此類比數位轉換器在 1 伏特的電壓供應下操作在 4000 萬赫茲的取樣頻率 (40-MS/s)，而在 0.9 伏特的電壓供應下操作在 1000 萬赫茲的取樣頻率 (10-MS/s)。實測效能顯示，在 4000 萬赫茲的取樣頻率 (40-

MS/s) 以及奈奎斯特輸入頻率下，有效位元為 10.25 位元 (SNDR 為 63.46dB)；而在 1000 萬赫茲的取樣頻率 (10-MS/s) 以及奈奎斯特輸入頻率下，有效位元為 10.89 位元 (SNDR 為 67.33dB)，得到的轉換效率分別為 25.7 fJ/conversion-step 與 21.6fJ/conversion-step，另外量測 20 顆的 ENOB 的良率分布，如圖三，操作環境為 10MHz 的取樣頻率，輸入頻率為 500k Hz，可以看出在加上技巧之後良率有顯著的提升。

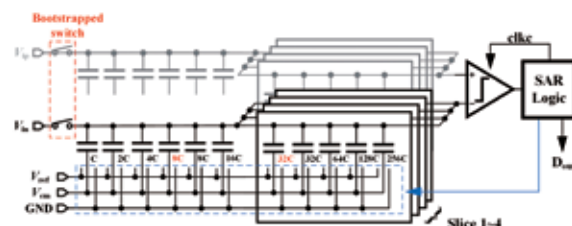


圖 1. 此晶片整體 SAR ADC 架構圖

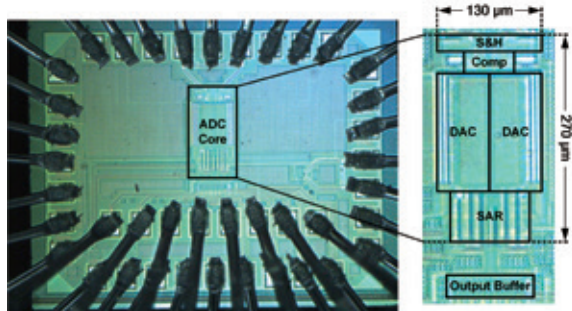


圖 2. 晶片及局部放大照相圖

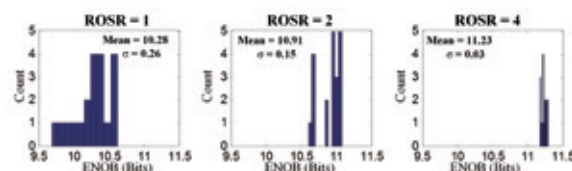


圖 3. 量測 20 顆晶片 ENOB 的良率分布

指導教授

張順志 / 成功大學電機工程學系



交通大學電機博士，目前任職成功大學電機系教授。過去曾任成功大學電機工廠主任 (2011/08 ~ 2014/07)。國際電機電子工程師學會固態電路學會臺南支會主席 (2009/01 ~ 2012/12)。成功大學電機系副教授 (2008/08 ~ 2011/07)。成功大學電機系助理教授 (2003/02 ~ 2008/07)。工研院系統晶片中心工程師 (2002/10 ~ 2003/01)。

研究領域：混合信號積體電路設計、測試與可測試設計、電腦輔助積體電路設計。



Abstract

In recent years, there have been explosive growth in the electronic devices such as smart phones, high quality digital TV applications and WLAN systems. Analog-to-digital converter (ADC) plays an important role in these devices. It can communicate between the analog signal in the real world and digital domains. ADC with the specifications of 8 to 12 bits resolution and several tens to hundreds of MS/s is needed for driving the high data rate applications where pipelined ADC is extensively used. However, in successive-approximation register (SAR) architectures, the conversion time and power dissipation become smaller with the advancement of CMOS technologies. SAR ADC can possibly replace pipelined ADC in nanometer scaled CMOS processes. In this work, we choose SAR as the basic architecture and propose a new technique. According to the measurement results of the proof-of-concept prototypes, the proposed technique is able to improve the dynamic and static performance without calibration.

This work proposes a new design technique named as "residue oversampling", which is suitable for high resolution ADCs. For each sampled voltage, this technique produces different residue voltages by permuting the capacitor arrays, and quantizes these residue voltages to generate a high-precision output code corresponding to this sampled voltage. In brief, the residue oversampling technique combines the concepts of dynamic element matching (DEM) and oversampling. By adopting the proposed technique, the SNDR of the ADC design is obviously improved without any complex calibration scheme. The architecture of the proposed SAR ADC is shown in Fig. 1.

The proof-of-concept 12-bit successive-approximation-register (SAR) ADC occupies 0.04mm² in 40nm CMOS process. The micrograph and the zoom-in view of this work are shown in Fig. 2. It operates at 40-MS/s with 1V supply voltage and 10-MS/s with 0.9V supply voltage, respectively.

The measurement results show that the prototype ADC achieves 63.46dB SNDR at 40-MS/s with a Nyquist rate input and 67.33dB SNDR at 10-MS/s with a Nyquist rate input. The figure-of-merits (FoM) are 25.7fJ/conversion-step and 21.6 fJ/conversion-step, respectively. Fig. 3 shows the ENOB distribution among 20 chips at 10-MS/s with a Nyquist rate input. It is apparent that this work using residue oversampling can improve yield.

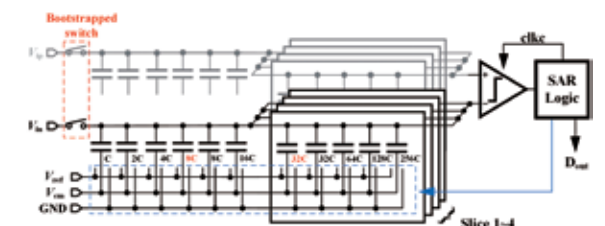


Fig 1. Architecture of the proposed SAR ADC

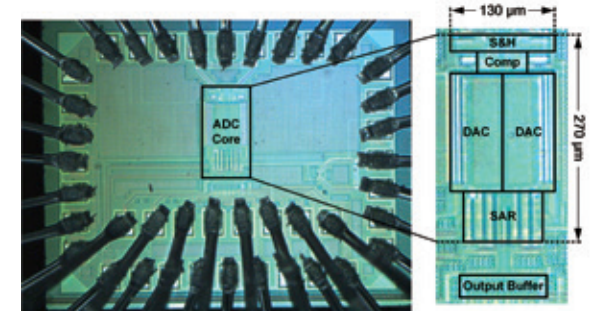


Fig 2. Micrograph and zoom-in view of the proposed SAR ADC

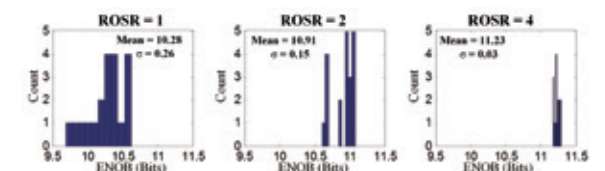


Fig 3. The measured ENOB histogram with 20 tested chips