

應用於生理訊號壓縮感知重建之可程式化處理器

A Reconfigurable Processor for Reconstruction of Compressively-Sensed Physiological Signal

DESIGN GROUP D19-010

隊伍名稱 DCS臺北總舵
DCS Headquarters

隊長 吳易忠 / 臺灣大學電子工程學研究所

隊員 王于哲 / 臺灣大學電子工程學研究所
王耀斌 / 臺灣大學電子工程學研究所



指導教授

楊家驥
臺灣大學電機工程學系

美國加州大學洛杉磯分校電機博士，現為臺灣大學電機工程學系教授。實驗室致力於開發低功耗之客製化晶片以提升資料處理速度與能量效率。

研究領域

生醫訊號處理器、基頻通訊積體電路、與機器學習處理晶片設計。

作品摘要

壓縮感知是一種結合隨機取樣與最佳化重建的取樣技術，可應用於無線人體感測器網路，減少傳輸資料量與所需之能量消耗。本論文提出了一個基於交替方向乘法之可程式化處理器，可使用於經壓縮感知生理訊號之重建。本論文提出的處理器架構具有彈性，能夠支援不同訊號長度：128, 256, 384, 512。生理訊號的資料特性被運用於先處理階段以減少整體的硬體複雜度。相較於未使用折疊的架構，16 倍的硬體架構摺疊可以減少 64% 的面積-功率乘積。交錯器被設計用來處理乘加器與處理器單元陣列之間的資料流動，可以避免系統停滯，減少整體延遲 12%。b-緩衝器被客製化用來支援平行存取，可以減少 4 倍的資料存取延遲。此外，相較於使用 D-正反器的實現，減少 25% 的功率消耗且面積

僅為其 25%。因為提出的處理器具有高吞吐量以及低功耗消耗，能夠支援從多通道生理電訊號之重建。為了評估提出硬體架構的表現，我們以 40nm 的製程實現處理器。晶片整合了 3.69M 個邏輯閘，核心面積為 3.23mm²。本論文所提出的硬體架構用於重建心電、腦電以及肌電訊號時具有每秒 573-2,901KS/s 的吞吐率，並可支援高達 1024 通道之神經感測壓縮感知訊號重建。在時脈為 87MHz，供電為 0.6V 時，最高消耗功率為 12.6mW。在滿足精確度的要求下(重建訊噪比大於 15dB)，相較於文獻發表之最佳設計，本晶片達到 1.5 到 14 倍的較高吞吐率，僅需 3.2 到 11 倍較低的能量消耗。

Compressive Sensing (CS) and Reconstruction

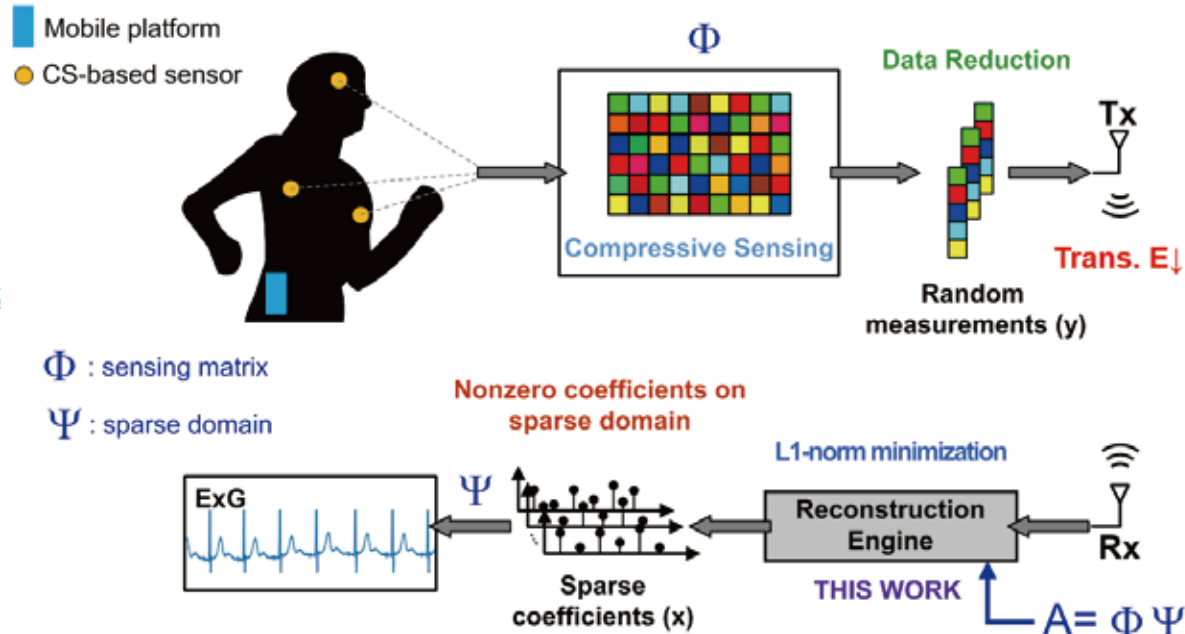


圖 1. 壓縮感知無線健康監測系統，可完成生理訊號壓縮感知多訊號維度重建

ABSTRACT

Compressive sensing (CS) is a sampling technology by integrating random sampling and optimized reconstruction. CS enables data reduction and energy dissipation of battery-powered sensors in the wireless body network. This work presents a reconfigurable processor based on the alternating direction method of multipliers (ADMM) for reconstructing compressively-sensed physiological signals. The proposed processor has a flexible architecture that can support various signal dimensions (128, 256, 384, 512). Data characteristics are used at the preprocessing stage to substantially reduce overall hardware complexity. 16x folded architecture achieves a 64% A-P product reduction compared to the unfolded one. An interleaver is designed to process data between the MAC array and the PE array. With the aid of the interleaver, the computations can continue without any stalled cycles, reducing the overall latency by up to 12%. The b buffer is customized for support of multi-word access, which reduces data latency by 4x. In addition, the b buffer dissipates 25% less power with only 25% area when compared to the realization with D flip-flops. As a proof of concept, a reconfigurable processor for reconstructing physiological ExG (ECG, EMG, EEG) signals is presented. Fabricated in a 40nm CMOS technology, the processor integrates 3.69M gates in 3.23mm². The chip delivers a throughput of 573-2,901KS/s for ExG signals and dissipates less than 12.6mW at 87MHz from a 0.60V supply. Compared with the state-of-the-art designs, the chip achieves a 1.5-to-14x higher throughput with 3.2-to-11x less energy, given the performance specification ($RSNR \geq 15dB$). This work supports neuro-sensing reconstruction with up to 1024 channels, which is not realizable in prior works.

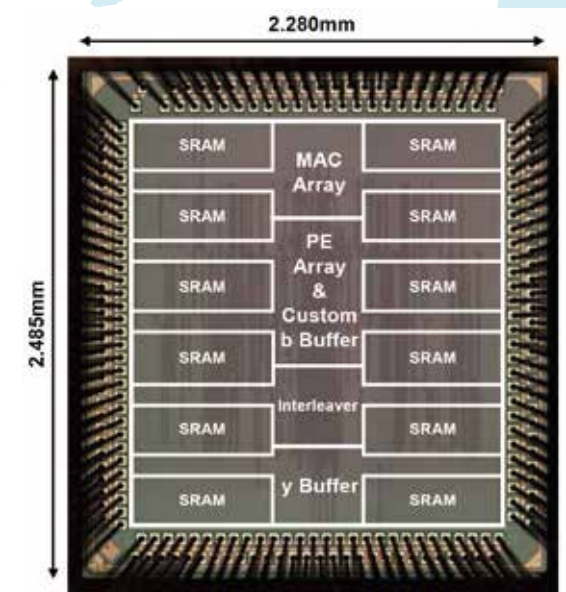


Fig.2 Chip micrograph